Inhaltsverzeichnis

Einleitung

Am Large-Hadron-Collider (LHC) werden Protonenpakete mit einer Frequenz von 40 MHz zur Kollision gebracht. Die dabei in einem Detektor auftretenden hohen Datenmengen müssen von einem Triggersystem verarbeitet werden. Nach der Digitalisierung werden die Signale zur Reduzierung der Datenkanäle serialisiert, was zu einer Erhöhung der Übertragungsrate pro Datenkanal führt. Ein Ansatz der ersten Triggerstufe des ATLAS-Detektors sieht vor, alle Komponenten des Level-1-Kalorimetertriggeralgorithmus für einen eingeschränkten Raumwinkelbereich auf einem Application Specific Integrated Circuit (ASIC) zu implementieren. Dieser erhält Eingangsdaten vom Kalorimeter mit einer Datenrate von 800 Mbit/s. Die vorliegende Diplomarbeit hatte zum Ziel, einen Test-ASIC (TASIC), der eine Vorstufe zum Triggerprozessor-ASIC darstellt, zu testen. Wie der Prozessor-ASIC benötigt auch der TASIC Testsignale mit einer Datenrate von 800 Mbit/s. Der HP82000 Chip-Tester, mit dem die Tests durchgeführt wurden, erzeugt digitale Signale mit einer Datenrate von 400 Mbit/s. Als Grundvoraussetzung für den Test wurde eine Platine zur Verdoppelung der Datenrate entwickelt. Um die Testsignale zum TASIC zu leiten und Signale aus diesem auslesen und mit dem Chip-Tester auswerten zu können, wurde ein Adapterboard für den TASIC entworfen. Zum Jettriggeralgorithmus, der auf dem Prozessor-ASIC implementiert wird, sind Monte-Carlo-Simulationsstudien zum Vergleich mit einer weiteren Implementierung des Jetalgorithmus durchgeführt worden.

Nach einem einleitenden Kapitel, das die physikalischen Grundlagen am LHC und den ATLAS-Detektor kurz beschreibt, wird in Kapitel 2.1 die erste Triggerstufe des ATLAS-Triggersystems vorgestellt. Es werden die Triggeralgorithmen und ihre konkrete Implementierung auf dem Prozessor-ASIC beschrieben. Die Ergebnisse der Jettrigger-Simulationen finden sich im Anschluß an die Darstellung der beiden Jetalgorithmen. Eine detaillierte Funktionsbeschreibung des TASICs in Hinblick auf die zu erfolgenden Tests schließt dieses Kapitel ab. Im dritten Kapitel, das einen Schwerpunkt der Arbeit darstellt, sind die Ratenverdoppelungsschaltung und Messungen der so erzeugten Signale beschrieben. Der eigentliche Aufbau zur Durchführung der Tests findet sich in Kapitel 4. Die Arbeit wird durch eine Zusammenfassung (Kapitel 5) abgeschlossen.

Kapitel 1

Einführung

1.1 Der Large-Hadron-Collider (LHC)

1.1.1 Der Beschleuniger

Mit dem Bau des Large-Hadron-Colliders am Europäischen Zentrum für Teilchenphysik (CERN) bei Genf, der im Jahre 2005 seinen Betrieb aufnehmen soll, dringen Physiker in einen bisher unerforschten Bereich der Physik ein. Protonen werden in zwei getrennten Strahlrohren auf eine Energie von jeweils 7000 GeV beschleunigt, wobei die Umlaufrichtung der Protonen in beiden Ringen gegenläufig ist. An vier Wechselwirkungspunkten werden die Protonstrahlen zusammengeführt, so daß es dort zu Streuungen zwischen den Protonen beider Strahlen bei einer Schwerpunktsenergie von $\sqrt{s} = 14\ TeV$ kommen kann.

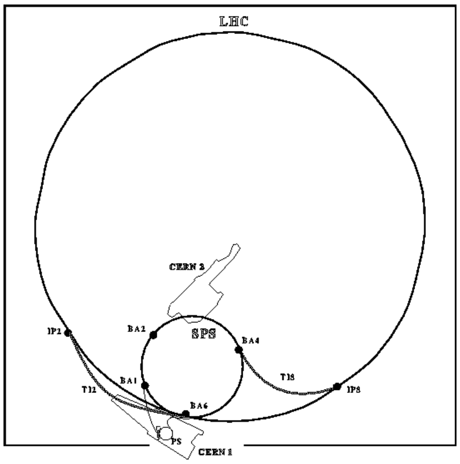

Abbildung 1.1: Schematischer Aufbau der Beschleunigerkette am CERN. Nicht zu sehen sind der Linearbeschleuniger und Booster, die die erste Stufe des Beschleunigungsprozesses durchführen

Zur Beschleunigung der Protonen werden die bereits existierenden Einrichtungen am CERN so weit wie möglich genutzt. So wird der LHC in dem Tunnel des LEP-

Beschleunigers errichtet, nachdem dieser seinen Betrieb eingestellt hat und abgebaut worden ist. Zur Vorbeschleunigung der Protonen wird eine Kette bereits auf dem CERN-Gelände bestehender Beschleuniger verwendet. Abbildung 2.3 [1] zeigt den LHC-Ring und seine Vorbeschleuniger.

In einem Linearbeschleuniger werden Protonen auf eine Energie von 50 MeV gebracht und anschließend in den Booster des PS eingespeist, der eine weitere Beschleunigung auf 1.4 GeV bewirkt. Im PS-Ring werden die Protonen auf 26 GeV und nach Überleitung in den SPS-Beschleuniger auf eine Energie von 450 GeV beschleunigt. An zwei Stellen des SPS-Ringes werden die Protonen ausgekoppelt und in jeweils einen der gegenläufigen Ringe des LHCs überführt, wo die Energie auf 7000 GeV erhöht wird.

1.1.2 Proton-Proton-Streuung

Bei Streuungen von Hadronen dominiert im Gegensatz zur Lepton-Lepton-Streuung der sehr hohe Wirkungsquerschnitt der starken Wechselwirkung. Die starke Wechselwirkung zwischen Hadronen wird beschrieben durch die QCD. Das Proton ist aus farbtragenden Partonen (Quarks und Gluonen) zusammengesetzt, die durch Farbkräfte zusammengehalten werden, welche durch den Austausch von Gluonen übertragen werden. Bei der Kollision zweier Protonen kann es zur Wechselwirkung zwischen den Quarks und Gluonen der beiden Protonen kommen, wobei ein Impulsübertrag von dem einen Parton auf das andere stattfindet. Zwischen den gestreuten Partonen und den Protonresten bauen sich Farbfelder auf. Mit zunehmendem Abstand der Partonen wächst die Energie der Farbfelder, bis die Energiedichte zur Erzeugung von Quark-Antiquark-Paaren ausreicht. Diese Prozesse wiederholen sich, bis die Energiedichte der Farbfelder zwischen den Quarks so weit gesunken ist, daß es nicht mehr zur Bildung weiterer Quark-Antiquark-Paare kommt. Die Partonen schließen sich wieder zu farbneutralen Hadronen zusammen. Im Detektor beobachtet man Hadronenjets, falls der übertragene Impuls bei der Streuung groß gegenüber der Hadronenruhemasse ist (siehe Bild 1.2).

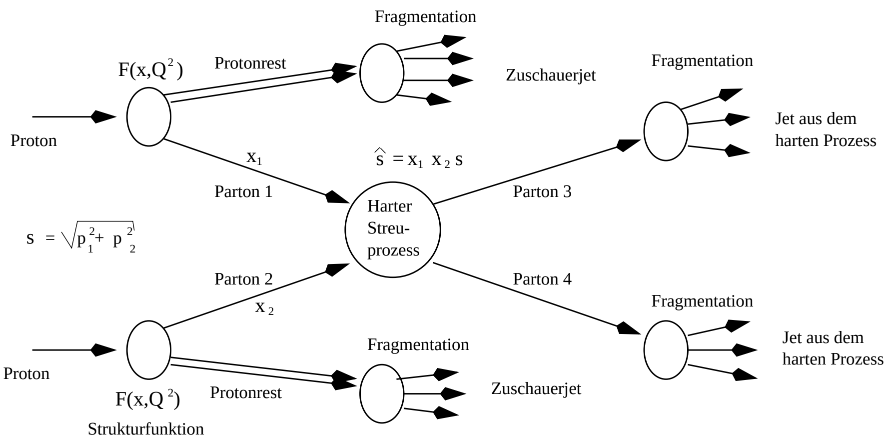

Abbildung 1.2: Schematische Darstellung eines inelastischen Streuprozesses in der Proton-Proton-Wechselwirkung

Die Schwerpunktsenergie des Proton-Proton-Systems ist durch $\sqrt{s} = \sqrt{p_1 + p_2^2}$ gegeben. Die Verteilung der Anteile am Longitudinalimpuls - der zur Strahlachse parallelen Impulskomponente - des Protons, der von einem Parton getragen wird, läßt sich durch die Strukturfunktion $F_1(x, Q^2)$ beschreiben, wobei $\sqrt{Q^2}$ den Impulsübertrag bei der Streuung und x den Impulsanteil des beteiligten Partons angibt. Die reduzierte Schwerpunktsenergie bei der Streuung der beiden Partonen ist daher gegeben durch $\sqrt{\hat{s}} = x_1 x_2 s$. Weil die Impulsanteile der beiden an der Streuung beteiligten Partonen in der Regel voneinander abweichen, ist das Schwerpunktssystem der Streuung in eine der Strahlrichtungen geboostet. Die Größe dieser Longitudinalbewegung ist für einen einzelnen Prozeß nicht bekannt. Damit stellen die Transversalkomponenten der Teilchenimpulse die entscheidende physikalische Größe in der Analyse der Proton-Proton-Streuungen dar.

Als Koordinaten dienen der Azimutwinkel ϕ und der Polarwinkel θ. Anstatt des Polarwinkels wird in den meisten Fällen die Pseudorapidität η verwendet. Sie ist definiert durch:

$$\eta = -\ln \tan \frac{\theta}{2} \tag{1.1}$$

mit dem Azimutwinkel:

$$\theta = \arctan \frac{|\vec{p_t}|}{|\vec{p_l}|} \tag{1.2}$$

und

$$|p_\perp| = \sqrt{p_x^2 + p_y^2} \tag{1.3}$$

p_t und p_l stellen die transversale bzw. longitudinale Komponente des Impulses dar. Der Polarwinkel wird von der einen Strahlachse (0°) bis zur anderen Strahlrichtung (180°) gezählt. Der Querschnittsebene, die den Wechselwirkungspunkt enthält, ist dementsprechend eine Pseudorapidität von $\eta = 0$ zugeordnet.

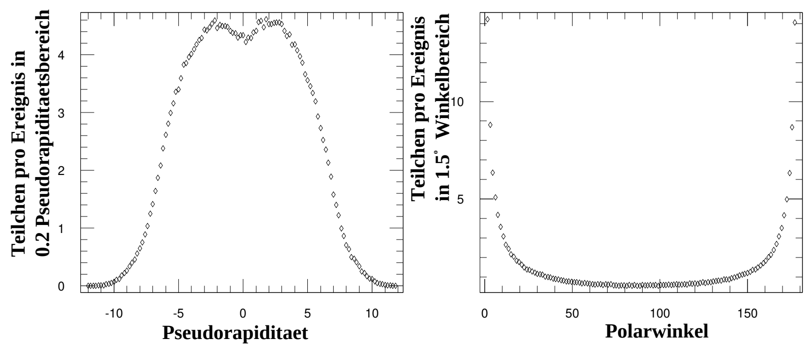

Abbildung 1.3: Die Teilchenanzahl pro Ereignis als Funktion der Pseudorapidität (links) und des Polarwinkels θ (rechts). Die Kurven zeigen Ergebnisse einer Monte-Carlo Simulation.

Entsprechend bedeuten große Beträge der Pseudorapidität Winkelbereiche in Richtung der Strahlachsen. Der Grund für die Verwendung der Pseudorapidität liegt darin, daß die Teilchendichte in einem großen zentralen Pseudorapiditätsbereich annähernd konstant ist (siehe Abbildung 1.3). Ein weiterer Vorteil liegt in ihrem einfachen Transformationsverhalten unter Lorentztransformationen. Im Grenzwert $\frac{v}{c} \rightarrow 1$ sind Pseudorapiditätsdifferenzen invariant unter einem Lorentz-Boost.

Eine weitere bedeutsame Größe ist der fehlende Beitrag in der Vektorsumme aller Transversalimpulse $\sum \vec{p_i}_{\perp}$. Aufgrund der Erhaltung des Gesamtimpulses sollte diese Summe verschwinden. Teilchen, die keine Energie im Detektor deponieren, führen jedoch zu einem von Null abweichenden Wert in der Vektorsumme. Auf diese Weise lassen sich beispielsweise Rückschlüsse auf die Transversalimpulse von Neutrinos machen. Gleichbedeutend mit dem Transversalimpuls wird auch der Begriff der Transversalenergie $E_{\perp} = |\vec{p}_{\perp}|$ verwendet. Dies bringt zur Geltung, daß mit einem Kalorimeter Energien gemessen werden. Ebenso spricht man daher auch von der fehlenden Transversalenergie E_t^{miss}, womit die Vektorsumme aller Transversalimpulse gemeint ist.

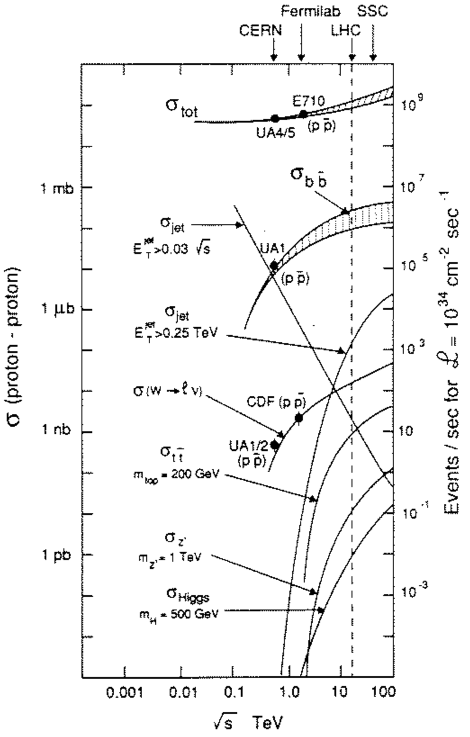

Abbildung 1.4: Totaler Wirkungsquerschnitt für Proton-Proton-Streuung im Vergleich zu den Wirkungsquerschnitten von physikalisch interessanten Prozessen in Abhängigkeit von der Schwerpunktsenergie

In Abbildung 1.4 [2] sind Wirkungsquerschnitte für Proton-Proton-Streuung als Funktion der Schwerpunktsenergie aufgetragen. Für die beim LHC geplante Schwerpunktsenergie von 14 TeV beträgt der totale Wirkungsquerschnitt ungefähr 100 mb.

Zum Vergleich sind die Wirkungsquerschnitte einiger möglicher Prozesse[1], die von besonderem physikalischen Interesse sind, dargestellt. Diese sind zum Großteil elektroschwache Prozesse, so daß die Wirkungsquerschnitte für diese sehr klein sind. Sie sind daher von einer um einige Größenordnungen höheren Rate an inelastischen Proton-Proton-Streuungen überlagert.

1.1.3 Bunch-Crossing-Rate und Luminosität

Der Teilchenstrom im LHC ist nicht kontinuierlich. Vielmehr sind die Protonen in Paketen, *Bunches*, gebündelt. Der zeitliche Abstand zwischen zwei aufeinanderfolgenden Bunches beträgt 25 ns, womit man eine *Bunch-Crossing*-Rate[2] von 40 MHz erhält.

Ein Maß für die Intensität der Teilchenstrahlen ist die Luminosität eines Beschleunigers. Sie gibt an, wie viele Teilchen sich am Wechselwirkungspunkt pro Zeiteinheit und Querschnittsfläche durchdringen und ist bei einer Kollision zweier Teilchenstrahlen in einem Speicherring gegeben durch [3]:

$$\mathcal{L} = \frac{N_a N_b n v / U}{A} \tag{1.4}$$

N_a und N_b sind die Anzahl der Teilchen in einem Bunch des jeweiligen Strahls, n gibt die Anzahl der Bunches im Speicherring mit dem Umfang U an, v ist die Geschwindigkeit der Teilchen und A die Querschnittsfläche der Strahlen am Kollisionspunkt. Das Produkt aus Luminosität und Wirkungsquerschnitt ergibt direkt die Anzahl der Reaktionen, die man pro Zeiteinheit beobachten kann.

Sollen Reaktionen mit einem sehr geringen Wirkungsquerschnitt untersucht werden, ist es wünschenswert, eine möglichst hohe Luminosität zu erreichen, damit die Aufnahme einer Datenmenge mit ausreichender Statistik in einem akzeptablen Zeitraum durchgeführt werden kann. Für den LHC ist eine Luminosität von $10^{34} cm^{-2} s^{-1}$ vorgesehen. Auf der anderen Seite steigt auch die Rate der inelastischen Proton-Proton-Streuungen mit der Luminosität. Mit einem totalen Wirkungsquerschnitt für Proton-Proton-Streuung von $\sigma_{tot} = 100 mb$ ergibt sich so eine Ereignissrate von 10^9 Wechselwirkungen pro Sekunde, was eine durchschnittliche Anzahl von 25 Proton-Proton-Streuungen in jedem Bunch-Crossing ergibt. Diese Ereignisse stellen in den Detektoren am LHC einen Untergrund dar. Die Signaturen der interessanten Ereignisse im Detektor sind von den Teilchenspuren dieser weichen Streuungen überlagert. Aufgabe des Triggersystems eines LHC-Detektors ist es, diesen Untergrund zu unterdrücken und interessante Ereignisse mit physikalischem Gehalt zu selektieren.

Für die Selektion von Ereignissen mit komplizierten Signaturen im Detektor, z.B. τ-Zerfällen oder Zerfällen schwerer Quarks, stellt ein hoher Untergrund ein großes Hindernis dar. Bei einer Erniedrigung der Luminosität wird der Untergrund im Detektor entsprechend gesenkt und eine Auswertung der Signaturen auf Kosten der Ereignisrate

[1]Hierbei handelt es sich teilweise um Prozesse, welche neue Physik beinhalten und deren Auftreten daher ungewiß ist.

[2]Unter der Bunch-Crossing-Rate versteht man die Frequenz, mit der die gegeneinanderlaufenden Teilchenpakete sich an den Wechselwirkungspunkten kreuzen. Bei dem LHC geschieht dies alle 25 ns.

erleichtert. Im Anfangsbetrieb des LHCs wird der Beschleuniger bei einer niedrigeren Luminosität von $\mathcal{L} = 10^{33} cm^{-2} s^{-1}$ betrieben, was zur Untersuchung komplizierter Ereignissignaturen ausgenutzt werden kann.

1.1.4 Forschungsschwerpunkte am LHC

Die zentrale Frage, die mit dem LHC geklärt werden soll, ist die Existenz des Higgs-Bosons (kurz: H). Das Standardmodell der Teilchenphysik fordert dieses Teilchen zur Erklärung der Symmetriebrechung in der quantenmechanischen Beschreibung der elektroschwachen Wechselwirkung, um die Teilchenmassen zu erklären. Dieses Higgs-Boson konnte bisher noch nicht entdeckt werden und stellt daher eine der letzten großen Lücken im Standardmodell dar. Die Masse des Higgs-Bosons ergibt sich nicht durch theoretische Überlegungen. Einige Theorien sagen jedoch eine obere Schranke von etwa 1 TeV für die Higgsmasse vorher. Eine untere Grenze der Higgsmasse läßt sich durch die bis heute durchgeführten Experimente, bei denen das Higgs-Boson nicht beobachtet wurde, angeben. So ist der mögliche Massenbereich des Higgs-Bosons zwischen etwa 70 GeV und ungefähr 1 TeV eingeschränkt. Da die Produktion und die möglichen Zerfälle des Higgs-Bosons von seiner Masse abhängen, interessieren in den verschiedenen Higgsmassenbereichen unterschiedliche experimentelle Signaturen für die Suche nach dem Higgs-Boson. Diese sind:

Zerfallskanal	Massenbereich
$H \to b\bar{b}$	$80 < m_H < 100$ GeV
$H \to \gamma\gamma$	$90 < m_H < 150$ GeV
$H \to ZZ^* \to 4l^\pm$	$130GeV < m_H < 2m_Z$
$H \to ZZ \to 4l^\pm, 2l^\pm 2\nu$	$m_H > 2m_Z$
$H \to WW, ZZ \to l^\pm \nu + 2\ Jets, 2l^\pm + 2\ Jets$	$m_H \approx 1\ TeV$

Ein weiteres Ziel des LHC ist die Suche nach SUSY-Teilchen. Supersymmetrische Theorien stellen eine Vereinheitlichung der in Fermionen und Bosonen unterteilten Welt der Teilchenphysik dar, indem sie zu jedem elementaren Teilchen einen supersymmetrischen Partner mit einem um den Betrag 1/2 unterschiedlichen Spin fordern. Somit besitzt jedes Fermion einen bosonischen SUSY-Partner, während ebenso zu jedem Boson ein Fermion gehört. Da supersymmetrische Teilchen bisher nicht beobachtet worden sind, müssen die Massen der beobachtbaren SUSY-Teilchen sehr groß sein. Beim Zerfall solcher Teilchen entstehen Leptonen und Jets mit hohem Transversalimpuls. Entsteht beim Zerfall ein neutrales stabiles supersymmetrisches Teilchen, so verläßt dieses ohne Energiedeposition den Detektor und erzeugt einen großen E_t^{miss}-Beitrag.

Ein gerade in jüngster Zeit durch Messungen der CDF-Kollaboration am Tevatron ins Blickfeld gerücktes Thema ist die Substruktur von Quarks [4]. Falls die im Standardmodell als elementar und damit punktförmig angesehenen Quarks aus kleineren Teilchen zusammengesetzte Gebilde wären, würde sich dies in einer Abweichung der von der QCD vorhergesagten Wirkungsquerschnitte für die Jetproduktion bei großem

Impulsübertrag erkennbar machen. Eine genaue Messung der Raten von Jets mit hohem Transversalimpuls ist daher erforderlich.

Die Untersuchung der beim LHC in hohen Raten erzeugten schweren Quarks, beauty- and top-quarks, wird ein weiteres Forschungsgebiet am LHC darstellen. Mit B-Mesonen kann die CP-Verletzung gemessen werden. Für die Analyse solcher Ereignisse ist eine genaue Rekonstruktion der komplexen Signaturen, welche ein Zerfall von schweren Quarks im Detektor hinterläßt, von Bedeutung. Dies wird besonders im LHC-Betrieb mit verringerter Luminosität von $\mathcal{L} = 10^{33} cm^{-2} s^{-1}$ ein Hauptuntersuchungsbereich sein.

Die Liste der Forschungsgebiete der Hochenergiephysik, die mit dem LHC untersucht werden können, ließe sich noch fortsetzen [2],[5]. Es soll aber an dieser Stelle nicht weiter darauf eingegangen werden. Vielmehr dienen die oben genannten Beispiele zur Illustration der Anforderungen, die an einen LHC-Detektor und dessen Datenauslesesystem gestellt werden. Zu diesen gehört die Erkennung und Energiemessung von Elektronen, Photonen, Myonen sowie Jets. Zur Messung der fehlenden Transversalenergie E_T^{miss} muß der Detektor einen möglichst großen Akzeptanzbereich abdecken. Die passiven Zonen im Detektor sollten klein sein, damit die Bestimmung der fehlenden Transversalenergie nicht durch ungesehene Teilchen verfälscht wird und auch die Messung der Lepton- und Jetenergien nicht zu stark beeinträchtigt wird. Aufgabe des Triggersystems der Detektoren ist es, eine deutliche Reduzierung der hohen QCD-Untergrunddatenrate zu bewirken.

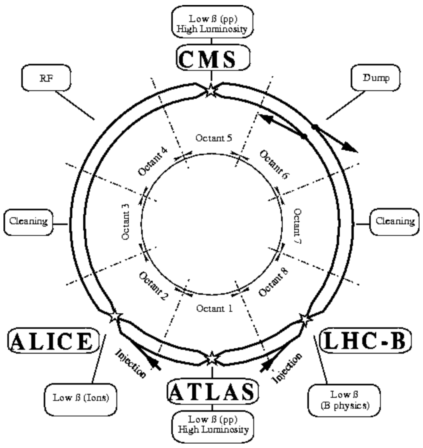

Abbildung 1.5: Schematische Darstellung des LHC mit den vier Experimenten

Am LHC werden vier Experimente aufgebaut. Die Hauptdetektoren CMS und ATLAS liegen an gegenüberliegenden Wechselwirkungszonen der LHC Protonenstrahlen. Mit dem Alice-Detektor ist ein Spezialdetektor zur Untersuchung von Schwerionenreaktionen[3] vorgesehen. Das LHC-B Experiment widmet sich speziell der Untersuchung der CP-Verletzung in B-Meson-Systemen.

[3]Zusätzlich zum p-p Betrieb des LHC ist die Beschleunigung schwerer Ionen vorgesehen. Bleikerne werden dabei bei einer Schwerpunktsenergie von 1150 TeV zur Kollision gebracht.

1.2 Der ATLAS-Detektor

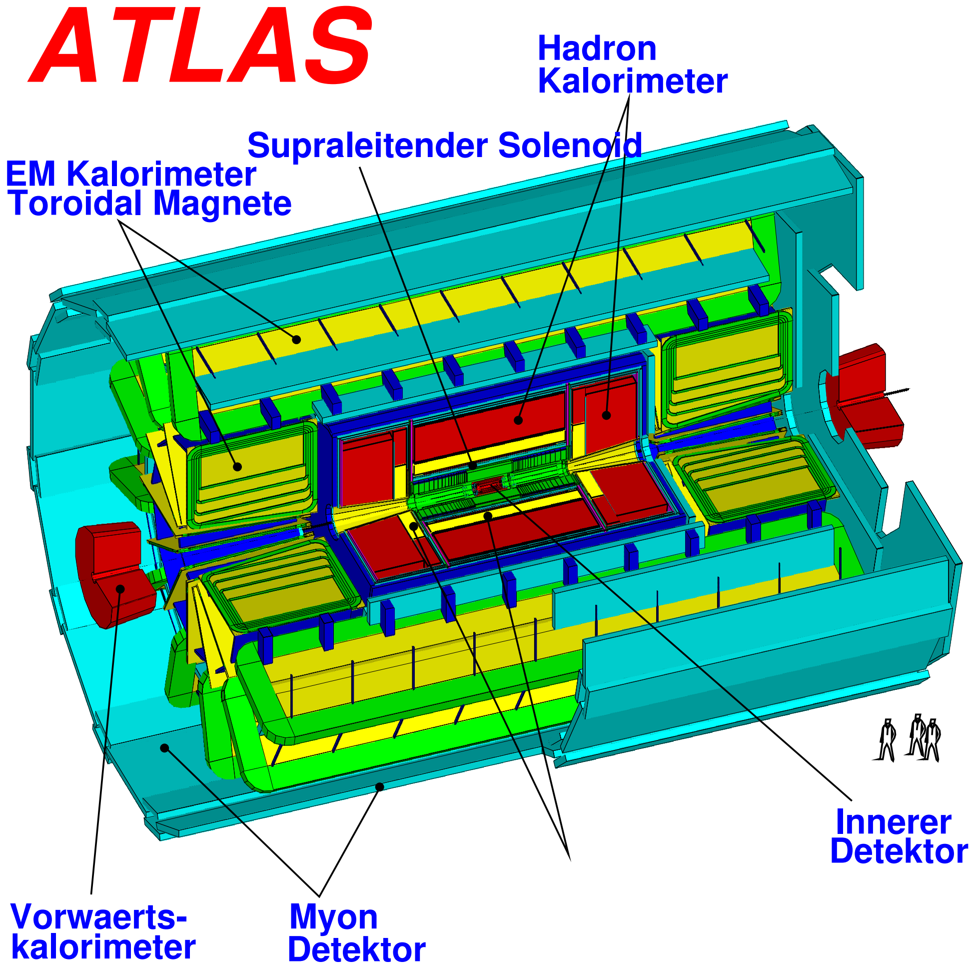

Abbildung 1.6: Bild des ATLAS-Detektors

ATLAS (A Toroidal LHC ApparatuS) ist einer der beiden Universaldetektoren am LHC. Da sich die Kinematik der Proton-Proton-Streuung invariant unter Rotation um die Strahlachse verhält und keine der beiden Strahlrichtungen kinematisch bevorzugt ist, ist auch der ATLAS-Detektor zylindersymmetrisch bezüglich der Strahlachse und spiegelsymmetrisch in Bezug auf die Querschnittsebene, welche den Wechselwirkungspunkt schneidet, aufgebaut. Der ATLAS-Detektor erstreckt sich jeweils auf eine Länge von 21 m auf beiden Seiten des Wechselwirkungspunktes und nimmt eine Höhe von 22 m ein. Das Gewicht des kompletten Detektorsystems beträgt 7000 t.

Abbildung 1.6 zeigt eine Darstellung des ATLAS-Detektors. Im Zentrum in Nähe des Wechselwirkungspunktes befindet sich der Innere Detektor für die hochauflösende Rekonstruktion von Teilchenspuren. Umgeben ist dieser von einem Solenoid-Magneten, der im Innenraum ein homogenes Magnetfeld mit einer Feldstärke von 2T erzeugt, welches die Teilchen in Ebenen senkrecht zur Strahlachse ablenkt. Die Transversalimpulse der Teilchen können aus den Bahnradien bestimmt werden. Das Kalorimeter dient zur Messung der Teilchenenergien und ist unterteilt in ein elektromagnetisches Kalorimeter für Elektronen und Photonen und das in seinen geometrischen Dimensionen größere hadronische Kalorimeter. Die Erkennung von Myonen und die Messung des Myonenimpulses erfolgt mit separaten Myonkammern, die das hadronische Kalorimeter umgeben. Magnetspulen erzeugen in den Myonenkammern ein toroidales Magnetfeld, das die Myonen in Ebenen, die die Strahlachse enthalten, ablenkt und so eine Impulsmessung ermöglicht.

1.2.1 Innerer Detektor

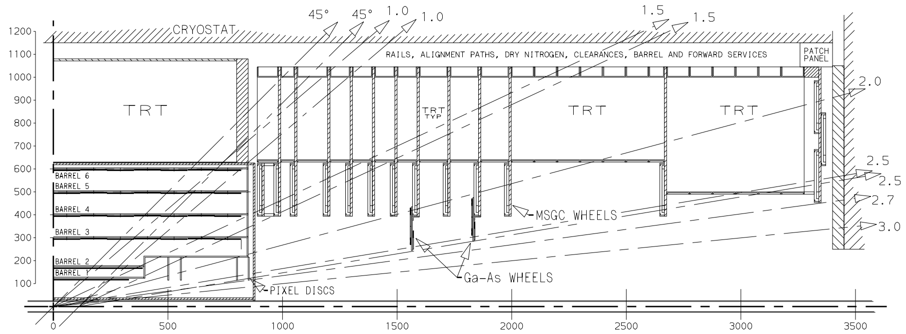

Abbildung 1.7: Aufbau des Inneren Detektors. In der linken unteren Ecke befindet sich der Wechselwirkungspunkt. Die im Bild eingezeichneten Pfeile dienen zur Abgrenzung von Pseudorapiditätsbereichen

Abbildung 1.7 zeigt den Aufbau des Inneren Detektors, der einen Pseudorapiditätsbereich von $|\eta| < 2.5$ überdeckt. Die Aufgabe des Inneren Detektors besteht in einer möglichst genauen Rekonstruktion der Teilchenspuren, die zur Bestimmung der Teilchenimpulse, Teilchensorte und Vertexrekonstruktion verwendet werden. Zu diesem Zweck benutzt man Halbleiterdetektoren mit einer hohen Ortsauflösung (im Mikrometerbereich). Um genügend Platz für Elektronik, Stromzuführung und Kühlungssysteme für die Halbleiterdetektoren zu haben, können die Detektoren nicht beliebig dicht um den Wechselwirkungspunkt angeordnet sein. Dem Wechselwirkungspunkt am nächsten befinden sich Pixeldetektoren, die ein hohes Ortsauflösungsvermögen besitzen und Informationen in zwei Dimensionen zur Spurrekonstruktion bereitstellen. Diese sind von Siliziumstreifendetektoren umgeben. Hierbei ist jede Streifenlage zwei- oder dreifach ausgeführt, wobei die einzelnen Streifen der verschiedenen Ausführungen kleine Winkel zueinander aufweisen. Mit dieser Anordnung kann auch hier eine Ortsinformation in zwei Koordinaten erzielt werden, wobei jedoch Mehrdeutigkeiten bei der Zuordnung der Koordinaten auftreten können. Im Bereich größerer Radien werden Drahtkammern, die gleichzeitig als Übergangsstrahlungsdetektoren (TRT) benutzt werden, verwendet, welche eine Bestimmung des Radius und Azimutwinkels ϕ erlauben. Mit Hilfe der

Übergangsstrahlung können Elektronen identifiziert werden. Auf diese Weise werden pro Teilchenspur, die in einem Bereich mit $|\eta| < 2.5$ verlaufen, sechs hochpräzise Raumpunktmessungen durch die zentralen Halbleiterdetektoren und mindestens 36 Treffer der Drahtkammern aufgenommen, aus denen sich die Teilchenspur rekonstruieren läßt.

1.2.2 Kalorimeter

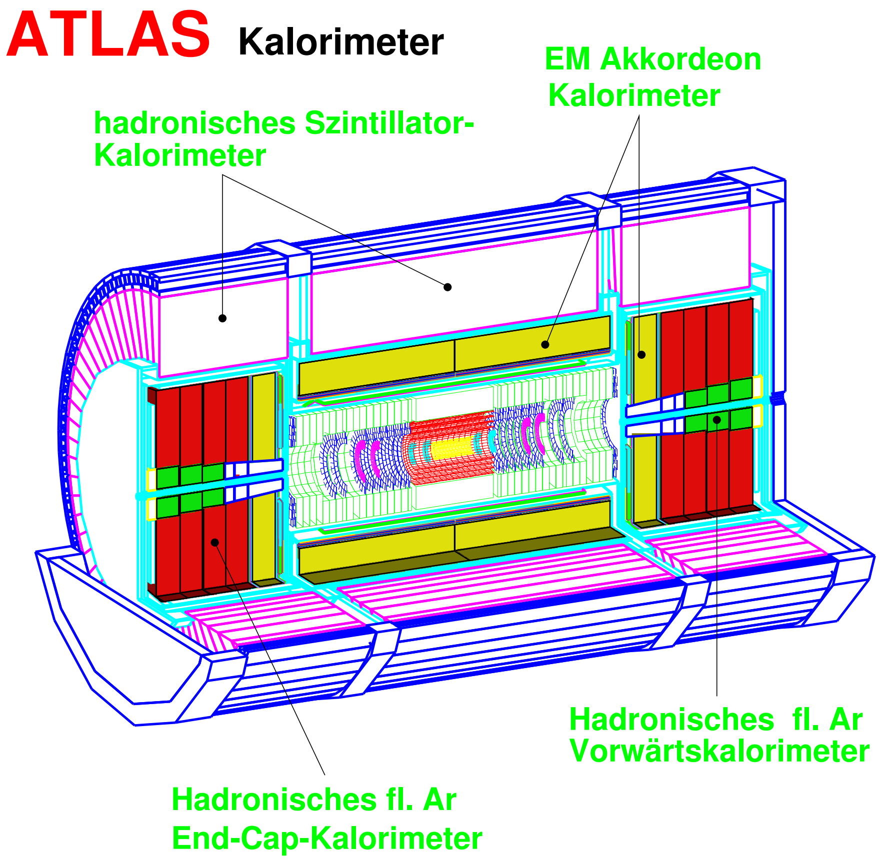

Abbildung 1.8: Darstellung des ATLAS-Kalorimeters mit dem Inneren Detektor

Der Innere Detektor wird bis auf kleinere Rapiditätslücken vom Kalorimeter umschlossen (siehe Abbildung 1.8). Es ist unterteilt in ein elektromagnetisches und ein hadronisches Kalorimeter. Das elektromagnetische Kalorimeter setzt sich aus dem zentralen Barrel-Bereich und den End-Cap-Kalorimetern in den Strahlrichtungen zusammen. Das elektromagnetische Barrel und die End-Cap-Kalorimeter überdecken zusammmen einen Pseudorapiditätsbereich von $|\eta| < 3.2$. Das größere hadronische Kalorimeter, welches das elektromagnetische Kalorimeter umgibt, besteht wie das elektromagnetische aus einer Barrel und zwei End-Cap-Komponente mit einer Ausdehnung längs der Strahlachse von $|\eta| < 3.2$. Zusätzlich befinden sich auf jeder Seite ein hadronisches Vorwärtskalorimeter, das den Pseudorapiditätsbereich des hadronischen Kalorimeters bis $|\eta| < 5$ ausdehnt. Anforderungen an ein Kalorimetersystem für einen LHC-Detektor sind u.a.:

- Ein gutes Energieauflösungsvermögen
- Eine gute Ortsauflösung durch eine genügend feine Segmentierung (Granularität) des Detektors. Die Segmentierung sollte hierbei mindestens so fein sein, daß eine Trennung von relativ schmalen elektromagnetischen Schauern durch isolierte Elektronen oder Photonen von den Schauern, die durch vergleichbar breite Jets hervorgerufen werden, ermöglicht wird.
- Ein hoher dynamischer Bereich in der Energiemessung, der von einigen hundert MeV bis zu 1.5-3 TeV pro Zelle reicht.
- Zur genauen Messung der fehlenden Transversalenergie ist ein möglichst großer Überdeckungsbereich in η erforderlich. (vgl. hierzu Abbildung 1.3)

Elektromagnetisches Kalorimeter

Der zentrale Barrel-Bereich des elektromagnetischen Kalorimeters erstreckt sich in einem Pseudorapiditätsbereich von $|\eta| < 1.4$. Die elektromagnetischen End-Cap-Kalorimeter erweitern die $|\eta|$-Überdeckung um $|\eta| = [1.4, 3.2]$. Sowohl Barrel als auch End-Cap-Kalorimeter sind als sogenannte Sampling-Kalorimeter aufgebaut. Bei Sampling-Kalorimetern ist, im Gegensatz zu homogenen Kalorimetern, das sensitive Detektormaterial, in dem die Teilchenenergien durch Ionisation in elektrische Impulse umgesetzt werden, vom passiven Absorbermaterial getrennt. Im Absorbermaterial lösen die hochenergetischen Elektronen und Photonen durch Bremsstrahlung bzw. Paarbildung elektromagnetische Teilchenschauer aus und verteilen so ihre Energie auf mehrere Sekundärteilchen. Auch Hadronen geben einen Teil ihrer Energie im elektromagnetischen Kalorimeter durch Ionisation und Kernwechselwirkungen ab. Die Absorberplatten sind dabei in einer akkordeonähnlichen Form angeordnet. Diese Geometrie ermöglicht es, die einzelnen Segmente ohne Lecks nebeneinander anzuordnen. Als Absorber wird Blei verwendet, da Blei eine große Ordnungszahl Z besitzt und der Wirkungsquerschnitt für Bremsstrahlung und Paarbildung proportional zu Z^2 ist. Die Dicke des Absorbermaterials beträgt an der dünnsten Stelle ($\eta = 0$) $26X_0$[4] und im ausgedehntesten[5] Bereich $28X_0$. Als aktives Detektormaterial befinden sich schmale (3.88 mm) mit flüssigem Argon gefüllte Lücken zwischen den Bleiplatten. Flüssiges Argon wird wegen seiner strahlungsharten Eigenschaften verwendet. Die Energieauflösung läßt sich durch Gleichung 1.5 beschreiben. Diese Abschätzung stellt hierbei eine obere Grenze dar, die der Fehler des elektromagnetischen Kalorimeters nicht überschreiten darf.

---

[4] X_0 ist die Strahlungslänge des Absorbermaterials. Die Energie eines Elektrons ist im Mittel nach Durchdringen einer Absorberschicht der Dicke X_0 auf den $1/e$-ten Bruchteil der Anfangsenergie abgesunken. Die Strahlungslänge von Blei beträgt 0.56 cm.

[5] Man beachte hier, daß die Absorberdicke, die vom Wechselwirkungspunkt aus gesehen wird, in Richtung der Strahlachsen zunimmt.

$$\frac{\Delta E}{E} = \frac{10\%}{\sqrt{E/GeV}} \oplus 0.7\% \tag{1.5}$$

Der energieabhängige erste Term wird durch statistische Fluktuationen in der Schauerbildung verursacht, die von der geometrischen Anordnung der Absorber- und Flüssig-Argon-Schichten abhängig ist. Der konstante Beitrag in Gleichung 1.5, der bei der Messung von Teilchen mit hoher Energie dominiert, wird durch Inhomogenitäten im Kalorimeter und lokale Variation der Eichparameter hervorgerufen [6]. In der Tiefe ist das elektromagnetische Kalorimeter in drei Schichten eingeteilt, wobei die erste Schicht eine feinere Ortsunterteilung besitzt als die beiden folgenden (siehe Tabelle 1.1). Die hohe Ortsauflösung der ersten Lage wird zur Trennung von isolierten Photonen und Photonen, die aus π^0-Zerfällen stammen, benötigt. Im Bereich des Barrels befinden sich vor der ersten Kalorimeterlage die Spule und die mechanische Halterung des Solenoidmagneten. Da dieses für geladene Teilchen und Photonen ein Absorbermaterial darstellt und es dort daher zur verfrühten Bildung von elektromagnetischen Schauern kommen kann, ist im Barrel-Bereich unmittelbar hinter dem Solenoidmagneten eine erste Detektorlage, der sogenannte *presampler*, angebracht. Die transversale Ausdehnung eines elektromagnetischen Schauers läßt sich durch den Molière-Radius beschreiben, der proportional zur Strahlungslänge des Detektormaterials ist. Der Molièr-Radius ist der Radius eines Zylinders um die Schauerachse, in dem 95% der Schauerenergie enthalten sind. Bei Blei liegt dieser in der Größenordnung von einigen cm.

elektromagnetisches Kalorimeter		
	Barrel	End-Cap
$\lvert\eta\rvert$-Bereich	1.4	1.4-3.2
Tiefen Lagen		
Presampler	1	-
Kalorimeter	3	3
Granularität $\Delta\eta \times \Delta\phi$		
Presampler	0.025×0.100 ($\lvert\eta\rvert < 0.8$)	-
	0.003×0.100 ($\lvert\eta\rvert > 0.8$)	-
Kalorimeter		
1.Lage	0.003×0.100	0.003×0.100 ($\lvert\eta\rvert < 2.4$)
2.Lage	0.025×0.025	0.025×0.025 ($\lvert\eta\rvert < 2.4$)
3.Lage	0.025×0.050	0.025×0.050 ($\lvert\eta\rvert < 2.4$)
alle Lagen:		0.050×0.050 ($\lvert\eta\rvert > 2.4$)
Auslesekanäle		
Presampler	32000	-
Kalorimeter	100000	82000 (beide Seiten)

Tabelle 1.1: Gliederung und Segmentierung des elektromagnetischen Kalorimeters

Hadronisches Kalorimeter

Aufgabe des hadronischen Kalorimeters ist die Energiemessung von Hadronen. Es muß zusammen mit dem elektromagnetischen Kalorimeter die Identifizierung und Messung von Jetenergien ermöglichen und einen möglichst großen η-Bereich zur Messung der fehlenden Transversalenergie überdecken. Die Elektron- und Photonidentifizierung durch das elektromagnetische Kalorimeter soll durch Isolationsmessungen (siehe hierzu Kapitel 2.2.1) unterstützt werden. Da Jets ausgedehnte Objekte darstellen und auch die transversale Ausdehnung hadronischer Schauer im Kalorimeter größer als bei elektromagnetischen Schauern ist, genügt beim hadronischen Kalorimeter eine Segmentierung in 0.1×0.1 Zellen in $\Delta\eta \times \Delta\phi$ und für den Vorwärtsbereich eine Segmentierung von $\Delta\eta \times \Delta\phi = 0.2 \times 0.2$. Der Barrel-Bereich gliedert sich in einen zentralen Bereich, $|\eta| < 1$, und einen erweiterten Barrel-Bereich auf beiden Seiten, $1 < |\eta| < 1.6$. Wie in Abbildung 1.8 zu erkennen ist, befindet sich zwischen dem zentralen und dem erweiterten Barrel-Bereich eine Lücke, die sich auch auf den Zwischenbereich von elektromagnetischem Barrel und End-Cap-Kalorimeter ausdehnt. Diese tote Zone wird benötigt, um die Kalorimeterauslese unterzubringen und die Verkabelung der inneren Detektorkomponenten durchführen zu können. Hinter den elektromagnetischen End-Cap-Bereichen befinden sich beidseitig die hadronischen End-Cap-Kalorimeter, $1.5 < |\eta| < 3.2$. Um die Verfälschung der E_t^{miss}-Messung durch Teilchen, deren Flugbahn in kleinen Winkeln zur Strahlachse verlaufen, möglichst gering zu halten, befinden sich um die Strahlachse in einem Pseudorapiditätsbereich von $3.1 < |\eta| < 4.9$ die beiden hadronischen Vorwärtskalorimeter.

Im Gegensatz zu leichten Elektronen ist der Energieverlust von Hadronen durch Bremsstrahlung beim Durchgang durch Materie sehr gering. Stattdessen können Hadronen, stoßen sie zufällig auf einen Atomkern, mit diesem stark wechselwirken. Die longitudinale Ausdehnung eines hadronischen Schauers ist daher nicht durch die Strahlungslänge X_0, sondern durch die Absorptionlänge λ_a, die die mittlere freie Weglänge eines Hadrons in Materie bis zur ersten Kernwechselwirkung angibt, bestimmt. Da die Absorptionslänge λ_a[6] in der Regel deutlich länger als die Strahlungslänge X_0 ist, haben hadronische Kalorimeter eine größere Ausdehnung als elekromagnetische. Durch die starke Wechselwirkung eines Hadrons mit einem Atomkern des Detektormaterials kommt es zur Produktion zahlreicher sekundärer Teilchen. Ein bedeutender Anteil unter diesen wird durch Pionen gebildet. Die neutralen π^0's zerfallen in Photonen, die durch elektromagnetische Schauerbildung ihre Energie im Kalorimeter deponieren. Geladene Pionen verlieren ihre Energie durch Ionisation oder streuen erneut an Atomkernen. Ein Teil der Hadronenenergie wird jedoch nicht vom Detektor erfaßt. Diese ungesehene Energie wird durch die Aufbrechung von Kernbindungen bei der starken Wechselwirkung der Hadronen mit den Atomkernen des Absorbermaterials verursacht [6]. Auch sekundäre Neutrinos tragen zu diesem Energieverlust bei. Der gesamte Energieverlust wird durch das e/π-Verhältnis ausgedrückt, welches das Verhältnis zwischen der vom Kalorimeter im Mittel detektierten Energie eines geladenen Pions und eines

[6] Die Absorptionslänge in Eisen beträgt $\lambda_a = 16.76cm$, die Strahlungslänge hingegen nur $X_0 = 1.76cm$. Für Blei ist: $\lambda_a = 17.1cm$ und $X_0 = 0.56cm$

Elektrons mit gleicher Energie wiedergibt. Für das ATLAS-Kalorimeter wird dieser Wert auf 1.3 [8] abgeschätzt. Der Anteil der nicht detektierten Energie variiert jedoch für jede Einzelmessung stark, so daß die Energieauflösung für Messungen von Hadronenergien im hadronischen Kalorimeter vergleichsweise schlechter als die Bestimmung der Elektron- bzw. Photonenergie im elektromagnetischen Kalorimeter ist. Das Energieauflösungsvermögen des hadronischen Kalorimeters im Barrel- und End-Cap-Bereich wird abgeschätzt auf:

$$\frac{\Delta E}{E} = \frac{50\%}{\sqrt{E/GeV}} \oplus 3\% \tag{1.6}$$

Abbildung 1.9 [5] zeigt das Energiespektrum von Messungen mit Prototypen beider Kalorimetertypen. Für das elektromagnetische Kalorimeter wurde ein monoenergetischer Elektronenstrahl mit einer Energie von 287 GeV verwendet. Die Energie der Pionen, mit denen das hadronische Kalorimeter getestet wurde, betrug 300 GeV.

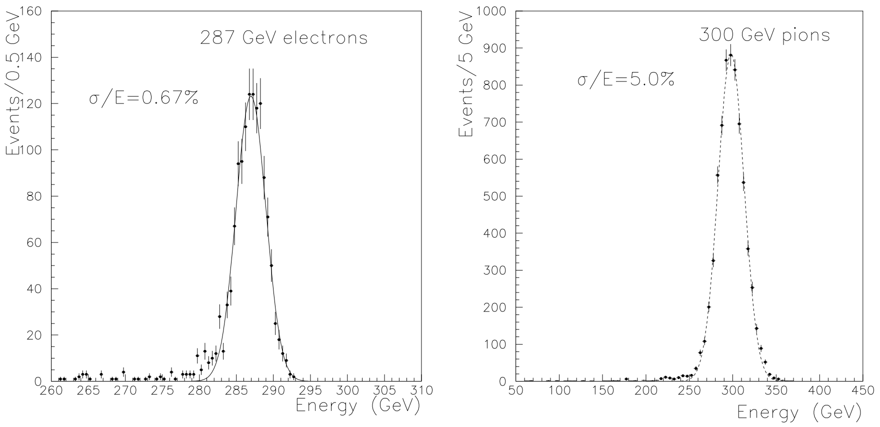

Abbildung 1.9: Energiemessung mit Prototypen des elektromagnetischen (links) und hadronischen (rechts) Kalorimeters

Für den Barrel-Bereich des hadronischen Kalorimeters werden Plastikszintillatoren mit Eisenabsorberplatten verwendet. Die Tiefe beträgt zusammen mit dem vorgelagerten elektromagnetischen Barrel-Bereich ca. $9.5\lambda_a$. Aufgrund der erhöhten Strahlenexposition in Nähe der Strahlachsen und der feiner strukturierten Bauweise sind die hadronischen End-Cap und Vorwärtskalorimeter wie das elektromagnetische Kalorimeter in der aufwendigeren Flüssig-Argon Technik ausgeführt. Im End-Cap-Bereich wird Kupfer als Absorbermaterial verwendet, im Vorwärtsbereich eine Wolframlegierung. Die Dicke beträgt im End-Cap-Kalorimeter $13\lambda_a$ und für das Vorwärtskalorimeter $12\lambda_a$.

Aufgrund der gröberen Segmentierung besitzt das hadronische Kalorimeter nur 21100 Auslesekanäle. Das fein segmentierte elektromagnetische Kalorimeter besitzt hingegen 214000 Auslesekanäle, die alle aus dem ATLAS-Detektor zur Ausleseelektronik herausgeführt werden müssen.

hadronisches Kalorimeter		
Szintillator Kalorimeter		
	Barrel	erweiteter Barrel
$\|\eta\|$-Bereich	1.0	1.0-1.6
Tiefen Lagen	3	3
Granularität $\Delta\eta \times \Delta\phi$	0.1×0.1	0.1×0.1
Auslesekanäle	6000	4000 (beide Seiten)
	fl. Ar. End-Cap	fl. Ar. Vorwärtskal.
$\|\eta\|$-Bereich	1.5-3.2	3.1-4.9
Tiefen Lagen	4	3
Granularität $\Delta\eta \times \Delta\phi$	0.1×0.1 ($\|\eta\| < 2.4$)	$\sim 0.15 \times 0.15$
Auslesekanäle	8600 (beide Seiten)	1500 (beide Seiten)

Tabelle 1.2: Gliederung und Segmentierung des hadronischen Kalorimeters

1.2.3 Myonsystem

Eine qualitativ hochwertige Messung von Myonen stellt eine der wichtigsten Anforderungen für einen LHC-Detektor dar. Da Myonen als Leptonen nicht der starken Wechselwirkung unterliegen und die zu Elektronen vergleichsweise hohe Myonenmasse[7] eine Energieabgabe über Bremsstrahlung im Kalorimeter stark unterdrückt, erreichen die meisten Myonen ohne wesentlichen Energieverlust die Myonenkammern, die das hadronische Kalorimeter umgeben. Das Myondetektorsystem sollte eine gute Messung der Transversalimpulse der Myonen in einem Bereich von 5 GeV bis hin zu 1000 GeV, die bei Myonen, die aus SUSY-Zerfällen stammen, auftreten können, ermöglichen.

Das Myonkammersystem überdeckt einen η-Bereich von $|\eta| \leq 3.0$ und ist in einen Barrel-, einen Übergangs- und einen End-Cap-Bereich zu beiden Seiten der Strahlachse gegliedert. Die Kammern befinden sich in einem toroidalen Magnetfeld. Die vom Wechselwirkungspunkt kommenden Myonen werden je nach Ladungsvorzeichen zum Strahl hin - bzw. vom Strahl weg abgelenkt. Das Myonenkammersystem besteht über den gesamten Pseudorapiditätsbereich $|\eta| < 3.0$ aus drei Lagen hochauflösender Präzisionskammern. In einem Bereich von $|\eta| \leq 2.2$ befinden sich schnell auszulesende Triggerkammern, die mit ihrer Zeitinformation eine Zuordnung einer Myonensignatur zu einem Bunch-Crossing liefern. Die Impulsmessung der Myonen erfolgt über den Krümmungsradius der Flugbahn im toroidalen Magnetfeld, die aus den drei Messungen der Präzisionskammern rekonstruiert wird. Die Impulsauflösung wird auf $\frac{\Delta p_T}{p_T} \approx 0.05$ bei 100 GeV und $\frac{\Delta p_T}{p_T} \approx 0.1$ bei 1000 GeV abgeschätzt. Die Präzisionskammern sind in Form von Driftkammern (MDTs[8]) und in Strahlnähe ($|\eta| > 2.4$) durch strahlungsharte Katodenstreifenkammern (CSCs[9]) realisiert. Als Triggerkammern werden Wi-

[7]Die Masse eines Myons beträgt $m_\mu = 105.66 MeV$. Da der Energieverlust infolge von Bremsstrahlung beim Durchgang durch Materie proportinal zu $\frac{1}{m^2}$ ist, ist der Energieverlust von Myonen im Kalorimeter sehr gering.

[8]Monitored Drift Tube Chambers

[9]Cathode Strip Chambers

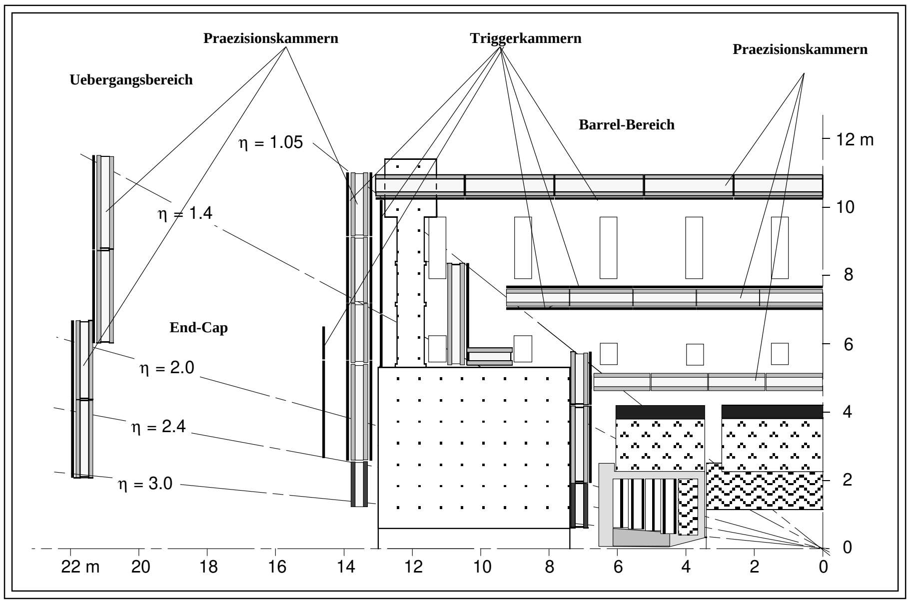

Abbildung 1.10: Schematische Darstellung des Myonkammer Systems. Die Linien des toroidalen Magnetfeldes verlaufen senkrecht zur Zeichenebene.

derstandsplattenkammern (RPCs[10]) im Barrel Bereich und TGCs[11] in den Übergangs- und End-Cap-Bereichen verwendet.

[10]Resistive Plate Chambers
[11]Thin Gap Chambers

Kapitel 2

Der ATLAS Level-1-Kalorimetertrigger

2.1 Trigger- und Auslesesystem des ATLAS-Detektors

Die vollständige Datenauslese des ATLAS-Detektors kann bei einer Bunch-Crossing-Rate von 40 MHz nicht bei jedem Bunch-Crossing durchgeführt werden. Dies würde zu einer hoffnungslosen Überlastung der Ausleseelektronik und Speichermedien führen. Aufgabe eines Triggersystems ist es, die Detektorauslese zu steuern, indem nur Daten derjenigen Bunch-Crossings ausgelesen werden, die interessante physikalische Signaturen (siehe Kapitel 1.1.4) enthalten.

Das Triggersystem des ATLAS-Detektors ist in drei Stufen aufgebaut. Mustererkennungsalgorithmen überprüfen die Daten nach physikalischen Gehalt, wobei die Komplexität der Algorithmen von Stufe zu Stufe zunimmt, was durch die zur Verfügung stehende Entscheidungszeit, die mit jeder Stufe anwächst, ermöglicht wird. Wird ein Ereignis von einer Triggerstufe akzeptiert, so werden die zugehörigen Daten zur nächsten Stufe weitergereicht und eine detailliertere Ereignisrekonstruktion durchgeführt. Wird ein Ereignis von allen drei Triggerstufen akzeptiert, wird es für die spätere off-line-Analyse abgespeichert. Auf diese Weise läßt sich die Rate der akzeptierten Ereignisse von Stufe zu Stufe sukzessive erniedrigen (siehe Figure 2.1).

2.1.1 Level-1-Trigger

Nach jedem Bunch-Crossing werden Daten vom Detektor zum Level-1-Trigger, der ersten der drei Triggerstufen, geleitet, der mittels einfacher Selektionskriterien die Ereignisrate von der 40 MHz Bunch-Crossing-Rate auf 100 kHz erniedrigen soll. Wie in Kapitel 1.1.3 beschrieben, finden pro Bunch-Crossing durchschnittlich 25 Proton-Proton-Streuungen mit kleinem Impulsübertrag statt. Dies entspricht einer Anzahl von 10^9 Ereignissen pro Sekunde. Die erste Triggerstufe muß deshalb die Ereignisrate um den Faktor 10^4 bis 10^5 auf eine Rate von 100 kHz reduzieren, die durch die Eingangsrate des Level-2-Triggers vorgegeben ist. Um die hohe Datenrate bewältigen zu können, verwendet der Level-1-Trigger Daten aus dem Kalorimeter und den Myonkammern mit reduzierter Granularität. Die Energien, die in einem Bereich von 0.1×0.1 in $\Delta\eta \times \Delta\phi$ im Kalorimeter deponiert sind, werden zu sogenannten Triggertowern zusammengefaßt und summiert. Die Triggerentscheidungen beruhen hierbei auf Schwellen, die auf die Transversalenergie von Jets, isolierten elektromagnetischen Schauern im elektromagnetischen Kalorimetern, Myonen sowie auf den fehlendem Transversalimpuls in der globalen Vektorsumme gesetzt werden. Informationen über Teilchenspuren aus dem Inneren Detektor werden für den Level-1-Trigger nicht herangezogen.

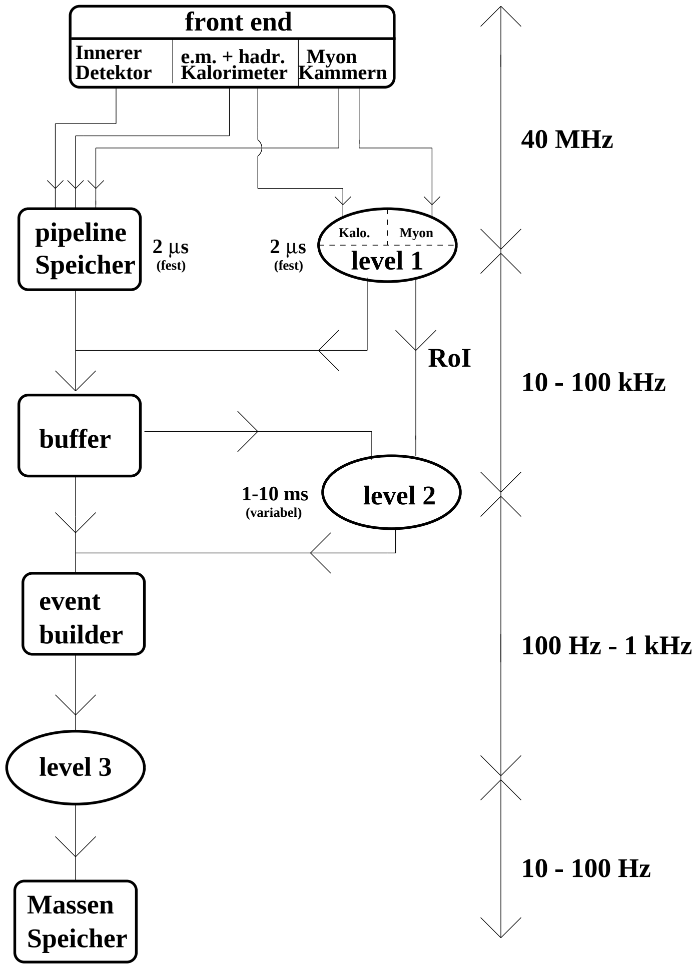

Abbildung 2.1: Schema des dreistufigen Aufbaus des ATLAS-Triggersystems. Am rechten Bildrand ist die Ereignisrate zwischen den einzelnen Triggerstufen aufgeführt.

Die kurze Zeit, die für eine Level-1-Triggerentscheidung zur Verfügung steht, erfordert es, daß die Triggeralgorithmen auf dieser Triggerstufe als elektronische Schaltungen implementiert sind. Die Daten aus den Kalorimetern und den Myonkammern werden in unterschiedlichen detektorspezifischen Prozessoren verarbeitet. Die dort gewonnenen Informationen werden an eine zentrale Level-1-Triggereinheit weitergegeben, die daraus eine Triggerentscheidung fällt. Die Latenzzeit, die benötigt wird, um die Daten aus den Detektoren auszulesen, zum Level-1-Trigger zu senden und dort zu verarbeiten, beträgt $2\mu s$. Während dieser Zeit werden die kompletten Daten aller Subdetektoren ausgelesen und in Pipeline Speichern zwischengespeichert. Die Latenzzeit von $2\mu s$ erfordert es, daß Daten aus 80 aufeinanderfolgenden Bunch-Crossings in Pipeline-Speichern gespeichert werden, was die Länge der Pipeline-Speicher festlegt[1]. Hat der Level-1-Trigger ein Bunch-Crossing akzepiert, so werden die Daten aus den Pipeline-Speichern ausgelesen und in einem Level-2-Buffer abgelegt. Eine zweite Aufgabe der ersten Triggerstufe besteht darin, sogenannte Regions-Of-Interest (ROIs) zu bestimmen und an den Level-2-Trigger weiterzugeben. Es handelt sich hierbei um die Ortsangabe der Detektorbereiche, die interessante Signaturen enthalten.

2.1.2 Level-2-Trigger

Hat ein Bunch-Crossing die erste Triggerstufe erfolgreich passiert, werden die Daten aus den Level-2-Buffern, die zu den vom Level-1-Trigger identifizierten ROIs gehören, ausgelesen und an die zweite Triggerstufe übergegeben. Nur diese Daten werden für die Level-2-Triggerentscheidung herangezogen. Dies erlaubt die Verwendung von verfeinerten Mustererkennungsalgorithmen, die mit Daten mit maximaler Granularität arbeiten. Es werden jetzt auch Spurinformationen aus dem Inneren Detektor verwendet. Die Level-2-Triggeralgorithmen sind als Programme auf parallel arbeitenden Prozessoren implementiert. Da die Triggerentscheidungen auf lokalen Kriterien, die aus den ROIs gewonnen werden, basiert, können nicht nur Ereignisse, die zu unterschiedlichen Bunch-Crossings gehören, sondern auch ROIs eines Ereignisses auf verschiedenen Mikroprozessoren des Level-2-Triggers parallel verarbeitet werden. Die Entscheidungszeit, die der Prozessor-Cluster benötigt, variiert je nach Komplexität der Signaturen zwischen 1 und 10 ms. Insgesamt muß die zweite Triggerstufe eine Reduzierung der Ereignisrate um den Faktor 100 auf ca. 1 kHz erreichen.

2.1.3 Level-3-Trigger

Ist ein Ereignis auch von der zweiten Triggerstufe akzeptiert, wird der komplette Datensatz, der zu dem betreffenden Bunch-Crossing gehört, aus den Level-2-Buffern an den Event-Builder des Level-3-Triggers weitergegeben. Dieses Schalt-Interface ermöglicht es, die Daten von beliebigen Subdetektoren zu allen Prozessoren der Level-3-Prozessor-Farm zu leiten. Dort geschieht eine vollständige Rekonstruktion des Ereignisses. Die Selektion erfolgt nach Kriterien ähnlich den Algorithmen der off-line-Analyse, die auf relevanten physikalischen Größen wie beispielsweise Jetenergien, Teilchen-4er-Impulse und invarianten Massen beruhen. Die Datenreduzierung kann auf dieser Triggerstufe

[1] Die Pipeline-Speicher bieten Platz zur Speicherung der Daten von 100 aufeinanderfolgender Bunch-Crossings. Der Überlapp von 20 Bunch-Crossings bietet Sicherheit bei Änderungen der Level-1-Latenzzeit.

auf zwei Weisen erfolgen. Zum einen wird wie in den vorhergehenden Triggerstufen anhand der neu gewonnenen Information die Rate der akzeptierten Ereignisse erneut reduziert, zum anderen kann der Datenumfang eines akzeptierten Ereignisses verringert werden, da nicht immer die Auslese des vollständigen Datensatzes von ca. 1 MByte Umfang von Interesse ist. Eine Speicherrate auf Magnetband zur späteren off-line-Analyse von 10 bis 100 Mbyte/s wird als durchführbar angesehen, womit die Ereignisrate, die auch die dritte Triggerstufe erfolgreich durchlaufen darf, entsprechend auf maximal 100 Hz begrenzt ist. Die Latenzzeit darf auf dieser Stufe bis zu einer Sekunde betragen. Dies ist möglich, weil wie auf der zweiten Triggerstufe Ereignisse verschiedener Bunch-Crossings parallel verarbeitet werden können.

Die Algorithmen der zweiten und dritten Triggerstufe sind zu jeder Zeit der Entwicklung des ATLAS Triggers und Detektors sowie während des späteren LHC-Betriebes modifizierbar.

2.2 Level-1-Triggeralgorithmen

Die erste Triggerstufe muß eine Reduzierung des Untergrundes um einen Faktor $10^4 - 10^5$ bewirken. Um dies zu erreichen, wird nach Teilchen mit hohem Transversalimpuls gesucht. Zu diesen gehören einzelne Leptonen und Photonen, die einen Schauer im elektromagnetischen Kalorimeter erzeugen, Teilchenjets und neutrale Teilchen, die keine Energie im Kalorimeter hinterlassen und so zu einem fehlenden Anteil in der globalen Vektorsumme des Transversalimpulses führen (siehe Kapitel 1.1.2). In Tabelle 2.1 sind einige Beispiele für interessante Ereignisse mit ihren Selektionskriterien im Level-1-Trigger aufgelistet.

Prozeß	Signatur im Level 1 Trigger
$H^0 \longrightarrow \gamma\gamma$	$1\gamma, E_T > 40GeV$ $2\gamma, E_T > 20GeV$
$H^0 \longrightarrow ZZ^* \longrightarrow l^+l^-l^+l^-$ oder $H^0 \longrightarrow ZZ \longrightarrow l^+l^-l^+l^-$	$2e, E_T > 20GeV$ $2\mu, E_T > 6GeV$ $1e, E_T > 30GeV$ $1\mu, E_T > 20GeV$
$W', Z' \longrightarrow jets$	$1jet, E_T > 150GeV$
QCD Studien, Multijets	$3jets, E_T > 150GeV$
$SUSY \longrightarrow jets$	$3jets, E_T > 150GeV + E_T^{miss} > 200GeV$

Tabelle 2.1: Beispiele für interessante erwartete Ereignisse mit den zugehörigen für den Level-1-Trigger relevanten Signaturen

Myonimpulse werden mit dem Myonkammersystem gemessen. Die Spurrekonstruktionen beruhen dort auf Koinzidenzen verschiedener Myontriggerkammern, woraus die Impulse der Myonen abgeschätzt werden können. Die Informationen werden zu einer separaten Myontriggerelektronik geleitet. Die Suche nach Elektronen, Photonen und

Jets sowie die Summierung der Transversalenergien für die E_t^{miss}-Berechnung wird von dem Level-1-Kalorimetertrigger übernommen. Sowohl im Myontrigger als auch im Kalorimetertrigger werden die Energien der jeweiligen physikalischen Objekte mit Schwellen verglichen und auf diese Weise Energieklassen zugeteilt. Diese kompakte Klasseninformation wird an eine zentrale Level-1-Triggerlogik weitergegeben, die die Triggerentscheidung fällt.

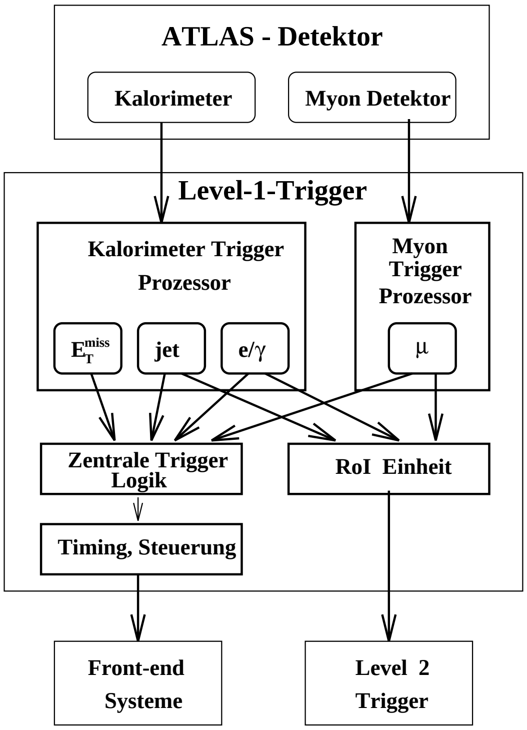

Abbildung 2.2: Blockschaltbild des Level-1-Triggers

Wie in Tabelle 2.1 zu erkennen ist, sind die Energieschwellen, die isolierte Elektronen oder Photonen erfüllen müssen, deutlich niedriger als die Schwellen für Jets. Ein Triggeralgorithmus muß daher einzelne Photonen und Elektronen von Jets trennen können. Außerdem sollte ein Triggeralgorithmus in der Lage sein, die Multiplizitäten der physikalischen Objekte zu bestimmen, da bei höheren Multiplizitäten (> 1) niedrigere Energieschwellen sinnvoll sind.

2.2.1 $e^{\pm}/\gamma$-Algorithmus

Elektronen und Photonen dringen, wie in Kapitel 1.2.2 erklärt wurde, nicht allzu tief in das Kalorimeter ein und deponieren daher ihre Energie vollständig im elektromagnetischen Kalorimeter, indem sie elektromagnetische Schauer auslösen. Die Elektronen und Photonen, die bei den interessierenden Zerfällen schwerer Teilchen entstehen, treten isoliert auf. Sie sind von den Elektronen und Photonen, die in Teilchenjets enthalten sind oder von Photonen, die aus dem Zerfall neutraler Pionen stammen, zu unterscheiden. Ebenso müssen sie auch von isolierten Hadronen, die ebenfalls beim Durchgang durch das elektromagnetische Kalorimeter einen Teil ihrer Energie abgeben, getrennt werden. Die transversale Ausdehnung eines elektromagnetischen Schauers ist deutlich kleiner als die Ausdehnung eines hadronischen Schauers und ebenfalls kleiner als der relativ große Öffnungswinkel eines Teilchenjets. Wenn nun gefordert wird, daß die Energie, die im elektromagnetischen Kalorimeter gemessen wird, auf eng begrenzte Bereiche in $\eta \times \phi$ beschränkt ist, außerhalb derer die Energiedeposition gering ist, können elektromagnetische Schauer, die durch isolierte Elektronen bzw. Photonen ausgelöst worden sind, von den Schauern getrennt werden, die durch zu Jets gehörende Teilchen oder Photonen, die aus Pionzerfällen stammen, ausgelöst wurden. Elektronen und Photonen werden in der Regel bereits im elektromagnetischen Kalorimeter vollständig absorbiert, während Hadronen meist den Hauptanteil ihrer Energie erst im hadronischen Kalorimeter abgeben. Ein weiteres Unterscheidungsmerkmal für isolierte Elektronen und Photonen ist deshalb, daß im Bereich des hadronischen Kalorimeters, der sich hinter den Zellen des elektromagnetischen Kalorimeters befindet, in denen eine Energiedeposition gemessen wurde, nur sehr wenig Energie deponiert ist. Der Algorithmus besteht also aus der gleichzeitigen Erfüllung folgender Bedingungen:

1. Die Energiedeposition in einem eng begrenzten Bereich des elektromagnetischen Kalorimeters muß eine Triggerschwelle übersteigen.

2. Die Energie, die in einem Bereich des elektromagnetischen Kalorimeters um dieses Zentrum herum gemessen wird, muß unterhalb eines Energiewertes liegen. (1. Isolationskriterium)

3. Die Energiesumme, die in dem entsprechenden Bereich des hadronischen Kalorimeters deponiert ist, muß ebenfalls sehr gering sein. (2. Isolationskriterium)

2.2.2 Jetalgorithmus

Jets stellen aufgrund des hohen Wirkungsquerschnittes der starken Wechselwirkung den dominierenden Prozeß dar. Der Jettrigger ist daher untergrundfrei. Wichtigste Aufgabe eines Jettriggers ist es, eine möglichst genaue Abschätzung der gesamten Jetenergie zu ermitteln. Hierzu werden die Energien in Bereichen des elektromagnetischen und hadronischen Kalorimeters zunächst für beide Kalorimetertypen getrennt aufsummiert und anschließend beide Werte addiert. Bei der letzten Addition müssen beide Beiträge entsprechend dem e/π-Verhältnis gewichtet werden. Die Energiesumme, die man hieraus erhält, muß eine Triggerschwelle übersteigen. Die Güte eines Jettriggers, d.h. die Effizienz, Jets, die über der Schwelle liegen, zu akzeptieren und Jets mit geringerer Energie zu unterdrücken, ist nun durch die Genauigkeit bestimmt, mit der die Jetenergie abgeschätzt werden kann. In der (η, phi)-Ebene besitzt ein Jet eine annähernd runde Querschnittsfläche. Der entscheidende Parameter, der in die Energieabschätzung eingeht, ist die Größe des Fensters, in dem die Energien summiert werden. Ein zu kleiner Bereich würde zu einer Unterschätzung der Jetenergie führen, während bei einem zu groß gewählten Fenster zu viel Untergrund fälschlicherweise mit zur Jetenergie gezählt würde.

Ein weiterer Faktor, der die Effizienz des Jettriggers mitbestimmt, ist der Überlappungsgrad benachbarter Bereiche. Ist dieser zu gering oder überschneiden sich die Fenster überhaupt nicht, so kann es dazu kommen, daß ein Jet, dessen Energie eigentlich über der Triggerschwelle liegt, auf zwei oder mehr Bereiche aufgeteilt wird, deren Energiesummen sich alle unterhalb der Schwelle befinden und daher das Ereignis abgewiesen wird. Auf der anderen Seite reduziert eine große Überschneidung der Fenster die Geschwindigkeit des Algorithmus, weil die Anzahl der Summenbildungen steigt und auch die Bestimmung der Jetmultiplizität erschwert wird. Ein Problem nämlich, das durch den Überlapp der Summationsbereiche auftaucht, ist die Mehrfachzählung eines einzelnen Jets, der in mehreren sich überlappenden Fenstern genügend Energie deponiert hat. Die Bestimmung der ROI-Koordinaten ist in diesem Fall ebenfalls nicht mehr eindeutig. Eine Beschreibung der Declustering-Algorithmen, die diese Probleme beheben, befindet sich in den Kapiteln 2.4.2 und 2.4.3 . Da die Jetrate stark mit abnehmendem Transversalimpuls zunimmt, ist die richtige Wahl der Triggerschwelle von großer Bedeutung. Eine zu kleine Schwelle kann zu unakzeptierbar hohen Triggerraten führen. Um eine optimale Wahl dieser Parameter zu finden, sind Simulationsstudien durchgeführt worden. Eine Bescheibung dieser Untersuchungen findet sich in Kapitel 2.4.4.

2.2.3 E_t^{miss}-Algorithmus

Zur E_t^{miss}-Bestimmung müssen alle Transversalenergien, die aus den Energiedepositionen in den Kalorimeterzellen berechnet werden, durch Multiplikation mit dem Sinus bzw. Cosinus des Azimutwinkels ϕ in eine E_x und eine E_y Komponente aufgespalten werden. Diese Werte werden getrennt summiert und die beiden Summen quadratisch addiert.

Zu den Faktoren, die die Effizienz des E_t^{miss}-Triggers beeinflussen, zählt in erster Linie der Pseudorapiditätsbereich, der zur Summation hinzugezogen wird. Jets, die in kleinen Winkeln zur Strahlrichtung liegen und daher nicht mehr in die E_t-Summation mit einbezogen werden, erzeugen einen falschen E_t^{miss}-Beitrag. Aus diesem Grund ist es von Vorteil, einen möglichst großen Pseudorapiditätsbereich zu überdecken. Weiterhin ist die Behandlung der Rapiditätslücken innerhalb des ATLAS-Kalorimeters infolge passiven Detektormaterials von Bedeutung. Auch die Granularität in ϕ der Segmente, die zur Aufspaltung der Transversalenergie in E_x und E_y benutzt werden, nimmt Einfluß auf die Effizienz des E_t^{miss}-Triggers. Eine zu grobe Granularität führt zu Energieverschiebungen, die die Aufsummierung verfälschen können. Auf der anderen Seite steigt mit kleiner werdender Segmentierung die Aufwendigkeit der Berechnungen.[2] Ein weiterer Untergrund für den E_t^{miss}-Trigger wird durch kosmische Teilchen und Wechselwirkungen von Strahlteilchen mit Restgasatomen innerhalb der Strahlröhre hervor-

[2]Die Sinus- und Cosinus-Bildung erfolgt in den Triggerprozessoren über Look-Up-Tables (LUT), die viel Platz auf dem Chip erfordern. Je kleiner die Segmentierung gewählt ist, desto länger werden diese LUTs.

gerufen. Aus diesen Gründen wird der E_t^{miss}-Trigger in der Regel in Kombination mit anderen Triggern verwendet. Für eine exklusive Triggerung auf E_t^{miss} muß die Triggerschwelle genügend hoch gesetzt werden, damit der Untergrund weitgehend unterdrückt wird.

2.3 Aufbereitung der Kalorimeterdaten für den Level-1-Kalorimetertrigger

Um die technische Realisierung des Level-1-Triggers zu verstehen, ist es nützlich, sich etwas mit dem Datenformat und der Aufbereitung der Kalorimeterrohdaten für die Level-1-Eingangsdaten zu befassen. Wie schon im ersten Abschnitt dieses Kapitels gesagt, werden die Energiedepositionen innerhalb der Segmente, die in einer Umgebung von 0.1×0.1 in $\Delta\eta \times \Delta\phi$ liegen, zu Triggertowern addiert. Es wird ein Pseudorapiditätsbereich von $|\eta| < 3.2$ verwendet, womit das gesamte elektromagnetische und das hadronische Kalorimeter bis auf die Vorwärtskalorimeter einbezogen sind[3]. Es ist vorgesehen, die Signale analog für beide Kalorimetertypen getrennt zu summieren.

Erst nach der Summation werden die Signale digitalisiert, wobei noch offen ist, ob die Digitalisierung direkt am Detektor oder im Trigger-Kontrollraum realisiert werden soll. Ein Ansatz sieht beispielsweise vor, die analogen Signale optisch über die ca. 80 m zum Kontrollraum zu übertragen, wo sie wieder in elektrische Signale konvertiert und anschließend digitalisiert werden [9]. Auch der dynamische Bereich der Digitalisierung ist zur Zeit noch in Diskussion. Zur Zeit erscheint ein dynamischer Bereich von 8 Bit technisch realisierbar. Die digitalisierten Signale werden zu Look-Up-Tables (LUTs) geleitet, in denen die Kalibration und die Wichtung von der totalen Energie zur Transversalenergie durchgeführt wird. Man erhält so einen 8-Bit breiten Wert für die Transversalenergie, wobei das LSB[4] einer Energie von 1 GeV entspricht. Ein Nachteil hierbei ist, daß hohe Energiewerte von über 255 GeV bei dieser Energie abgeschnitten werden. Eine z.Z. diskutierte Möglichkeit, um den dynamischen Bereich über diese 255 GeV hinaus zu erweitern, ohne höher auflösende ADCs verwenden zu müssen, besteht darin, eine Verstärkung der analogen Signale mit logarithmischer oder quadratischer Verstärkungskennlinie zu verwenden. Im niedrigen Energiebereich bleibt die hohe Auflösung erhalten. Bei der Kalibration in den Look-Up-Tables werden in diesem Fall die digitalisierten Daten wieder liniarisiert.

Nach der Digitalisierung werden die Daten dem zugehörigen Bunch-Crossing zugeordnet. Die analogen Signalpulse erstrecken sich über einen Zeitraum von bis zu 25 Bunch-Crossings. Hohe Pulse können wegen ihrer langsamen Signalabfallszeit daher Sig/-nale nachfolgender Bunch-Crossings überlagern. In einem BCID[5]-Algorithmus wird für jeden Kanal der Energiewert, der das Maximum des Kalorimeterpulses enthält, herausgesucht und zum Trigger weitergegeben, während die anderen Werte unterdrückt

[3] Für den E_t^{miss}-Algorithmus werden eventuell auch Daten aus den hadronischen Vorwärtskalorimetern hinzugezogen, um den Pseudorapiditätsbereich auf $|\eta| < 4$ oder 5 auszudehnen.

[4] Least Significant Bit

[5] Bunch Crossing Identification

werden. Ohne BCID würde ein einziger zu einem Bunch-Crossing gehörender Signalpuls den Level-1-Trigger für mehrere aufeinanderfolgende Bunch-Crossings erreichen.

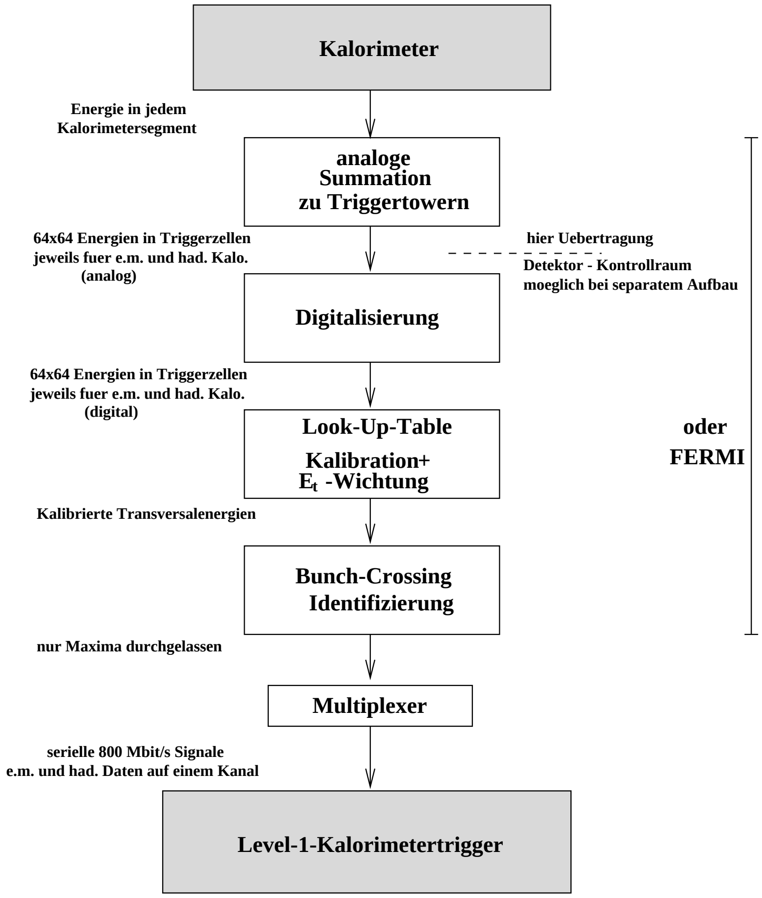

Abbildung 2.3: Übertragungskette der Signale vom Kalorimeter zum Level-1-Trigger

Bevor die Transversalenergiedaten den Level-1-Trigger erreichen, werden alle Werte unter 1 GeV auf null gesetzt, um den physikalischen Untergrund und das elektronische Rauschen auf der Transversalenergie, das im zentralen Bereich ($|\eta| = 0$) ungefähr 300-400 MeV pro Triggerzelle beträgt [8] und zu einer Störung der Isolationsmessungen der Triggeralgorithmen führt, zu unterdrücken. Für die technische Ausführung der beschriebenen Prozesse existieren zwei Konzepte. Eine Lösung sieht vor, die verschiedenen Schritte diskret auf separate Einheiten (FADCs, BCID-ASICs, LUTs ...) zu verteilen, während in der anderen Realisierungmöglichkeit die Datenaufbereitung vollständig auf einem Multi-Chip-Module integriert wird (FERMI, [10]).

Die Triggeralgorithmen erhalten also jeweils eine 64×64 Matrix mit 8-Bit breiten Transversalenergiewerten für beide Kalorimetertypen als Eingangsdaten. Um die Anzahl der Kabel zu reduzieren, werden die Daten serialisiert und für beide Kalorimetertypen auf einen Kanal multiplext. Mit den vier Kontrollbits des Übertragungsprotokolls erhält man so eine Anzahl von 20 Bits pro Bunch-Crossing für jeden Eingangskanal. Die Datenrate pro seriellem Übertragungskanal beträgt somit 800 Mbit/s.

2.4 Der Level-1-Kalorimetertriggerprozessor

Zur Umsetzung der Level-1-Kalorimetertriggeralgorithmen gibt es zwei konkurrierende Ansätze. Bei dem im Technischen Proposal [5] vorgestellten Ansatz (kurz: TP-Design) [8] sind die verschiedenen Algorithmen in getrennten Modulen implementiert, wobei die Aufgaben aufgeteilt werden auf Jetmodule, elektromagnetische Cluster-Module, E_t^{miss}-Module, Decluster-Module für Jet bzw. e/γ-Algorithmus. Das zweite Projekt sieht vor, sämtliche Algorithmen auf einem Prozessor-ASIC zu vereinen. Ein ASIC verarbeitet die Daten, die zu einem 4×8 Triggerzellenbereich innerhalb der 64×64-Matrix gehören. Zur Realisierung der Isolationskriterien und Decluster-Algorithmen benötigt jeder ASIC Informationen aus zwei weiteren Randspalten und Randzeilen, also insgesamt Daten aus einer 8×12-Matrix. Da sich diese Diplomarbeit in erster Linie mit Komponenten dieses zweiten kompakten Designs beschäftigt, wird das TP-Design nicht näher beschrieben. Für die Jettriggeralgorithmen, die sich zwischen den beiden Ansätzen unterscheiden, sind Simulationstudien durchgeführt worden. Aus diesem Grund findet sich in Kapitel 2.4.2 neben der Beschreibung des Jettriggers im kompakten Design auch eine Darstellung des konkurrierenden Projekts.

2.4.1 Implementation des e/γ-Algorithmus

Die Implementation des e/γ-Algorithmus im Kompakten Design ist in Abbildung 2.4 dargestellt. Die drei in Kapitel 2.2.1 aufgeführten Bedingungen zur Erkennung isolierter Schauer im elektromagnetischen Kalorimeter sind hier ausgedrückt durch:

1. Die Energiesumme innerhalb eines Triggerzellenpaares dient als Abschätzung der ursprünglichen Elektron- bzw. Photonenergie, womit berücksichtigt wird, daß ein Elektron bzw. Photon den Detektor im Übergangsbereich zwischen zwei Triggertowern treffen kann und seine Energie daher auf zwei benachbarte Zellen aufteilt. Diese Energiesumme muß eine Triggerschwelle übersteigen.

2. Erstes Isolationskriterium: Die Summe in einem 4×4 Triggerzellenring des elektromagnetischen Kalorimeters, der das Zellenpaar umschließt, muß unterhalb einer Schwelle liegen.

3. Zweites Isolationskriterium: Die Gesamtenergie in der 4×4 Triggerzellenmatrix des hadronischen Kalorimeters, die hinter dem Isolationring der zweiten Bedingung liegt, darf ebenfalls einen Schwellenwert nicht übersteigen.

Zu jeder Triggerzelle werden die vier Paare mit den benachbarten Zellen gebildet und die Energiesumme dieser Zellenpaare (Abbildung 2.4 a) berechnet. Der maximale Wert dieser vier Summen dient als Abschätzung der Elektron- bzw. Photonenergie. Dieser wird mit sieben programmierbaren Energieschwellen verglichen und entsprechend klassifiziert, was einen 3-Bit-Kode ergibt. Als erstes Isolationskriterium innerhalb des elektromagnetischen Kalorimeters werden die Energien in 4×4-Triggerzellenringen aufsummiert. Einem maximalen Zellenpaar können, wie in Bild

2.4 durch Pfeile angedeutet ist, zwei solcher Ringe zugeordnet werden. Der Ring, der die geringere Summe besitzt, wird als Isolationsring verwendet. Die dort deponierte Energie wird mit drei Schwellen (2-Bit-Kode) verglichen und auf diese Weise in vier Energieklassen eingeteilt. Als dritte Bedingung (2. Isolationskriterium) wird die Energiesumme in der 4×4-Triggerzellenmatrix des hadronischen Kalorimeters, die sich genau hinter dem verwendeten Isolationsring befindet, gebildet und ebenfalls in vier Energieklassen eingeteilt (2-Bit-Kode). Zur Vermeidung einer Mehrfachzählung eines einzelnen elektromagnetischen Schauers, dadurch daß das gleiche Zellenpaar zwei verschiedenen Triggerzellen zugeordnet wird oder sich der elektromagnetische Schauer auf mehrere Zellen verteilt, wird eine zusätzliche Bedingung eingeführt. Die Triggerzelle, die einen elektromagnetischen Schauer enthält, muß einen Maximalenenergiewert innerhalb einer 3×3-Triggerzellenumgebung annehmen. Hierdurch wird eine Mehrfachzählung vermieden und eine eindeutige Angabe der ROI-Koordinaten gewährleistet.

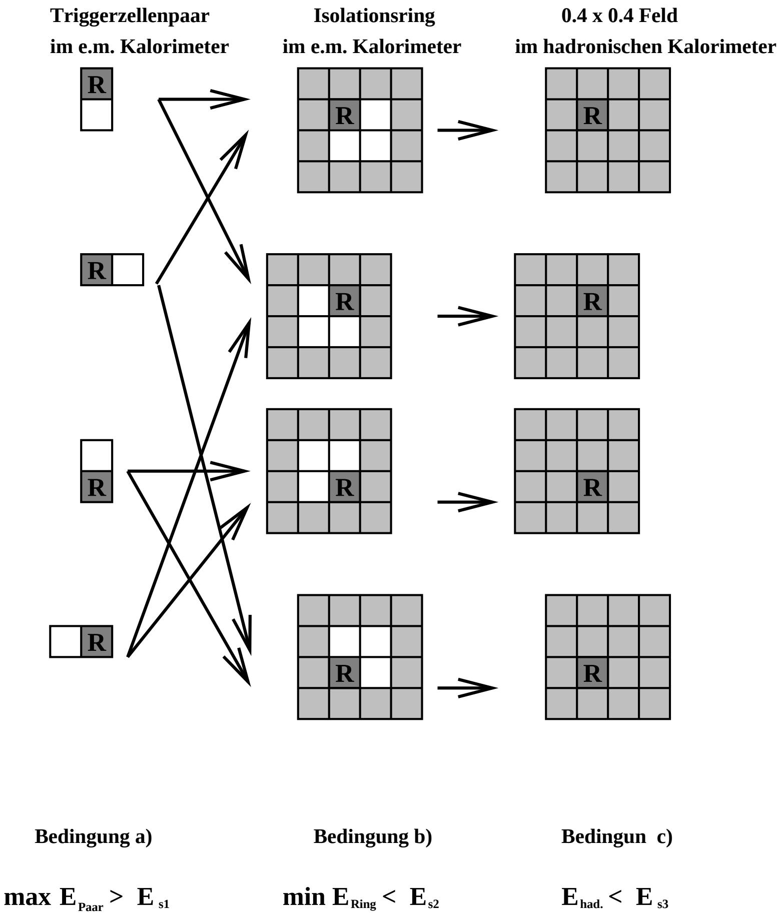

Abbildung 2.4: Darstellung der für den Elektron/Photon Triggeralgorithmus relevanten Energiesummen. Die Energie in einem Zellenpaar muß eine Schwelle überschreiten. Die Energiesummen in dem Isolationsring bzw. im entsprechenden Bereich des hadronischen Kalorimeters muß jeweils unterhalb gesetzter Grenzwerte liegen.

Als Ergebnis dieses Algorithmus erhält man für jede Triggerzelle eine Information von 8 Bits. Insgesamt sieben werden für die Klassifikation der drei eben beschriebenen Energiesummen benötigt. Das achte Bit gibt an, ob die Triggerzelle die Maximumsbedingung innerhalb der 3×3-Nachbarschaft besitzt. Diese Information wird, nachdem sie in Look-Up-Tables, die auf dem Triggerprozessor integriert sind, in einen sogenannten Feature-Kode umgewandelt und zur zentralen Triggerlogik weitergeleitet. Der Feature-Kode charakterisiert jede Zelle mit ihrem physikalischen Inhalt, wie z.B.: $e^{\pm}/\gamma$ mit großer Energie gut isoliert oder $e^{\pm}/\gamma$ mit mittlerer Energie schlecht isoliert oder ähnliche Information. Die Verwendung verschiedener Energieschwellen innerhalb des Prozessor-ASICs erlaubt eine anpassungsfähige Wahl der Triggerkriterien. So können beispielsweise für Elektronen oder Photonen mit sehr hohem Transversalimpuls die Isolationsbedingungen abgeschwächt werden, da die Ausdehnung elektromagnetischer Schauer mit steigender Energie zunimmt.

Um den Algorithmus effizient zu gestalten, werden die Energiesummen der Zellenpaare, Isolationringe und 4×4-Matrizen des hadronischen Kalorimeters nicht zu jeder Referenztriggerzelle erneut berechnet. Vielmehr werden zunächst alle die Summen gebildet, die in dem Kalorimeterbereich liegen, die von dem jeweiligen Triggerprozessor bearbeitet werden. Diese Werte werden dann den entsprechenden Triggerzellen zugeordnet. Da eine Energiesumme jeweils mehreren Referenzzellen zugeordnet ist, kann auf diese Weise die Anzahl der benötigten Summationen erniedrigt werden.

2.4.2 Implementation des Jetalgorithmus im kompakten Design

Im kompakten Design werden zur Abschätzung der Jetenergien die Energien innerhalb einer 4×4 Triggerzellenmarix, also 0.4×0.4 in $\Delta\eta \times \Delta\phi$, des hadronischen und elektromagnetischen Kalorimeters zunächst für beide Kalorimetertypen getrennt summiert und anschließend unter Berücksichtigung der relativen Kalibration addiert. Die Wahl, ein 4×4 Fenster zu benutzen, verkleinert den Rechenaufwand, da die Energiesummen aus dem hadronischen Kalorimeter, die bereits für die Isolationsbedingung des $e^{\pm}/\gamma$-Algorithmus berechnet wurden, mitverwendet werden können. Der Abstand zwischen den Fenstern ist zu 0.1 in $\Delta\eta$ bzw.$\Delta\phi$ gewählt, womit die kleinstmögliche Schrittweite verwendet wird. Durch die stark überlappenden Summationsbereiche kommt es häufig dazu, daß durch einen Jet im Kalorimeter mehrere Energiesummen oberhalb der Jetschwellen liegen. Eine eindeutige Identifizierung kann dennoch erfolgen, indem das lokale Maximum dieser Energiensummen innerhalb einer 3×3 Umgebung als Jetenergieabschätzung verwendet wird. Auf diese Weise wird der Jet eindeutig einem Fenster zugeordnet, womit die ROI-Koordinaten bestimmt sind. Zusätzlich ist ein weiterer Algorithmus implementiert, der bei der Bestimmung der Jetmultiplizität eine Mehrfachzählung eines Jets verhindern soll. Dieser Algorithmus ist in Abbildung 2.5 dargestellt.

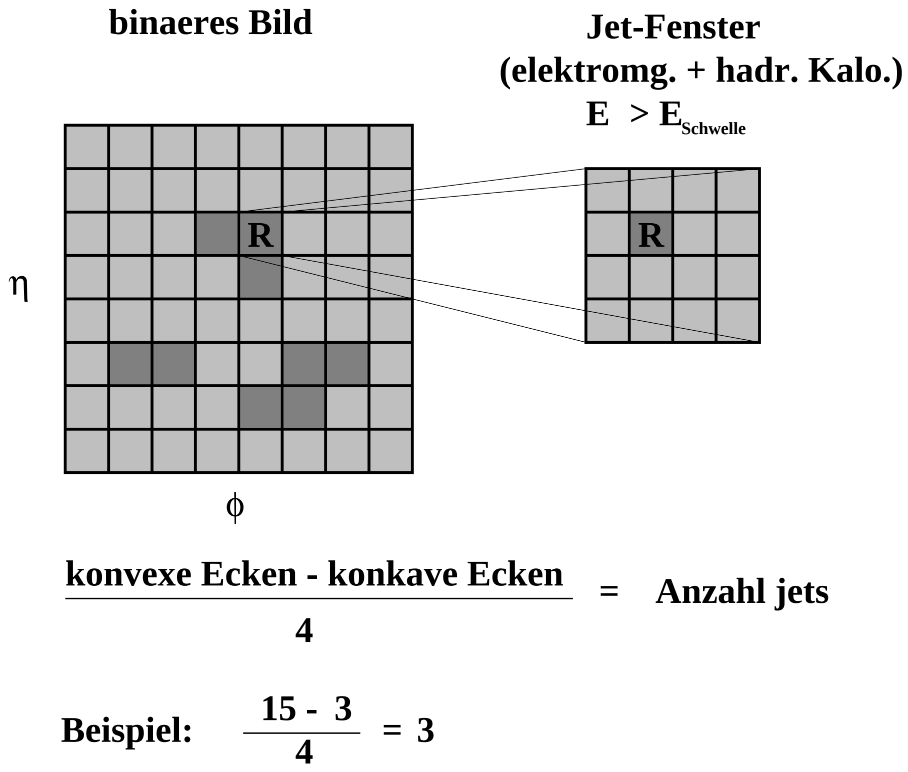

Abbildung 2.5: Declustering Algorithmus zur Bestimmung der Jetmultiplizität, wie er auf dem Triggerprozessor des kompakten Designs implementiert ist.

Die Energiesummen innerhalb der 4×4-Fenster sind einer Triggerzelle zugeordnet. Es wird nun eine binäre Karte der Jetenergieverteilung angelegt, in der die Zellen markiert werden, deren zugeordnete Energiesumme über der Triggerschwelle liegen. In dieser Karte werden nun die konvexen und konkaven Ecken gezählt. Dehnt man diese Summationen auf die gesamte 64×64-Matrix aus und dividiert die Differenz der beiden erhaltenen Summen durch vier, so kann das Ergebnis dieser Rechnung als Abschätzung der Jetmultiplizität verwendet werden, wie anhand des Beispiels in Bild 2.5 zu sehen ist.

2.4.3 Implementation des Jetalgorithmus im TP-Design

Der Jettrigger, der im TP-Ansatz benutzt wird, unterscheidet sich im wesentlichen durch die mit 0.8×0.8 in $\Delta\eta \times \Delta\phi$ größeren Fenster, innerhalb denen die Energien zur Abschätzung der Jetenergien aufsummiert werden. Die Schrittweite zwischen zwei benachbarten Fenstern beträgt 0.4 in $\Delta\eta$ bzw. $\Delta\phi$. Die Granularität, die diesem Algorithmus zugrunde liegt, ist damit gröber als im Algorithmus des kompakten Designs.

Zur Bestimmung der Jetmultiplizitäten und der ROI-Koordinaten wird ein globaler Algorithmus verwendet, d.h. Informationen aus allen Bereichen der 64×64 Triggerzellenmatrix werden zentral zusammengezogen und verarbeitet. Der Nachteil eines globalen Algorithmus ist der hohe Datentransfer, der in diesem Fall notwendig ist. In dieser Hinsicht ist daher eine gröbere Granularität basierend auf 0.4×0.4 Zellen von

Vorteil. Zur Durchführung des Declusterings wird ähnlich wie im kompakten Design, in dem allerdings alle Mustererkennungsalgorithmen lokal auf einem ASIC durchgeführt werden, ein binäres Bild der Jetverteilungen erstellt. Für jede 0.4×0.4 Zelle wird geprüft, ob die Energie des zugehörigen 0.8×0.8 Jetfensters oberhalb der Triggerschwelle liegt. Hierbei wird jeweils der linke untere 0.4×0.4 Bereich des 0.8×0.8 Fensters als Referenzzelle verwendet. Es werden nur diejenigen 'getroffenen' Zellen akzeptiert, in deren Nachbarschaftsregion, wie sie in Abbildung 2.6 definiert ist, kein weiterer Jet markiert ist. Durch diese Declustering-Bedingung wird auch die Koordinatenverschiebung durch die willkürliche Wahl der linken unteren 0.4×0.4 Unterzelle als Referenzpunkt korrigiert. Man beachte, daß nicht immer unbedingt der Eintrag, der zu dem 0.8×0.8-Fenster gehört, das die größte Energiesumme enthält, bei diesem Declustering-Algorithmus gefunden wird. Die Entscheidung, ob ein Ereignis die Jettriggerbedingung erfüllt, wird aber hierdurch nicht beeinflußt, weil alle in der Vetomatrix markierten Zellen die Triggerbedingung erfüllen.

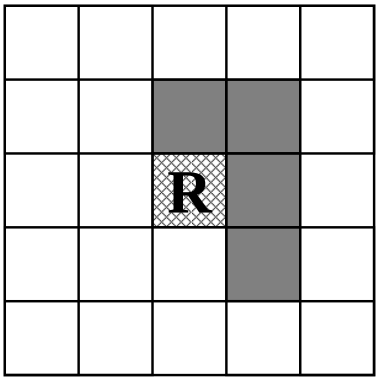

Abbildung 2.6: Die Vetomatrix des Decluster-Algorithmus im separaten TP-Design.

2.4.4 Simulation

Ein Vergleich beider Algorithmen für die Realisierung des Jettriggers kann mit Hilfe von Monte-Carlo-Simulationen durchgeführt werden.

Die physikalischen Prozesse lassen sich durch Wahrscheinlichkeiten, die sich durch die Quantenmechanik berechnen lassen, beschreiben. Eine Monte-Carlo-Simulation wählt zufällig aus diesen Wahrscheinlichkeitsverteilungen der möglichen Prozesse einen heraus. Auf diese Weise lassen sich die Streuprozesse zweier Teilchen schrittweise simulieren. Die Anfangsenergie beider Teilchen wird vor dem Stoß vorgegeben und anhand der QCD-Matrixelemente die Wechselwirkung zweier Partonen miteinander berechnet. Die Impulse der Partonen vor dem Prozeß werden mit Hilfe der Strukturfunktionen, die die Impulsverteilungen der Partonen innerhalb des Hadrons angeben, bestimmt. Für den Streuprozeß werden nur exakt berechnete Matrixelemente niedrigster Ordnung verwendet. Werden höhere Ordnungen benötigt, so werden diese über das Parton-Schauer-Modell berechnet, das Partonverzweigungen (z.B. $q \to gq$, $g \to q\bar{q}$ oder $g \to gg$) unter Verwendung der Altarelli-Parisi-Gleichungen [12] berechnet. In einem zweiten Schritt der Simulation werden die Endzustandspartonen, die man aus dem harten Streuprozeß und der Partonenschauerbildung erhält, wieder zu Hadronen zusammengefügt. Diese Fragmentation beruht auf dem Lund-String-Modell [13] (zur Hadronisierung siehe Kapitel 1.1.2). Viele der erzeugten Hadronen sind instabil und zerfallen in weitere Teilchen. Als Resultat liefert das Monte-Carlo-Simulationsprogramm die Viererimpulse aller Teilchen. Eine Auflistung der Zwischenzustände (Partonen, zerfallende Teilchen) kann ebenfalls ausgegeben werden, so daß die Entwicklung des Ereignisses rekonstruiert werden kann.

Die im folgenden beschriebenen Simulationen sind mit dem Programmpaket *PYTHIA 5.7* und *JETSET 7.4* [14] durchgeführt worden. Es wurde keine Detektorsimulation hinzugenommen, so daß von einem idealen Detektor ausgegangen wird, der alle Teilchenenergien vollständig mißt. Der Untergrund, der durch die Überlagerung mehrerer inelastischer Ereignisse hervorgerufen wird (siehe Kapitel 1.1.2), wird in den Simulationen nicht berücksichtigt. Für jedes Bunch-Crossing wird also immer nur ein Ereignis erzeugt. Ebenso gehen die Pulsform und die Digitalisierung der Detektorsignale nicht in die Simulation ein. Alle Parameter, die in PYTHIA variiert werden können, wurden auf ihren Standardwerten belassen. Als Strukturfunktionen sind diejenigen von CTEQ2L [15] verwendet worden.

Zur Simulation der Triggeralgorithmen wurden die Transversalenergien der stabilen Teilchen berechnet und in die zugehörigen Triggerzellen der 64×64 Zellenmatrix einsortiert. Da die Jettriggeralgorithmen ausschließlich mit Kalorimeterdaten arbeiten, wurden die Energien von Neutrinos und Myonen, die fast keine Energien im Kalorimeter deponieren, nicht berücksichtigt. In 4×4 bzw. 8×8 Triggerzellenbereichen wurden die enthaltenen Energien summiert und mit Triggerschwellen verglichen.

Ein wesentlicher Aspekt des Jettriggers ist es, die hohen QCD-Ereignisraten zu senken. Der Wirkungsquerschnitt für die Jetproduktion steigt mit abnehmender Energie der erzeugten Jets steil an. Die Triggerschwelle muß daher mindestens so hoch gewählt sein, daß die Ereignisrate in einem Größenbereich liegt, der mit dem Datenauslesesystem des Detektors verarbeitet werden kann. In Abbildung 2.7 sind die Raten der Ereignisse, die mindestens einen Jet enthalten, dessen Transversalenergie die Triggerschwelle überschreitet, bei vorgesehner Luminosität von $\mathcal{L} = 10^{34} cm^{-2} s^{-1}$ in Abhängigkeit von der Triggerschwelle für beide Algorithmen dargestellt. Wie aufgrund der Verwendung größerer Fenster zu erwarten ist, ist die Triggerrate des separaten Designs geringfügig höher als die Rate, die mit dem Algorithmus des kompakten Designs erzielt wird.

Um allerdings einen möglichst objektiven Maßstab für die Güte der Algorithmen zu erhalten, muß die wirkliche vom Detektor gemessene Jetenergie ermittelt werden. Für diese Aufgabe wurde der in PYTHIA enthaltenen Kegelalgorithmus (*LUCELL*) verwendet. Dieser Algorithmus teilt einen vorgegebenen Bereich in der (η, ϕ)-Ebene in Zellen ein und füllt diese mit den Transversalenergien der Teilchen, deren Flugbahn durch diesen Raumbereich führt. Ausgehend von der Zelle, die die maximale Energie enthält, werden sämtliche Energien, die in Zellen in einem Kreisgebiet um diese Ausgangszelle liegen, aufsummiert. Der gleiche Ablauf wird nun unter Verwendung derjenigen Zellen, die noch zu keinem solchen Kegel zugeordnet worden sind, so lange wiederholt, bis keine Einzelzelle übrig geblieben ist, deren Energieinhalt über einem festgelegten Energiewert liegt. Die so erhaltenen Energiesummen dienen als Maß für die Jetenergien. Der Radius dieses Summationsbereiches, die Granularität der Zelleneinteilung und die Schwelle der Energie innerhalb einer Einzelzelle können variiert werden. Da ein Jet in der (η, ϕ)-Ebene eine annähernd kreisförmige Form hat, überdeckt der Summationsbereich des Kegelalgorithmus den Jet deutlich besser als die quadratischen Fenster der Triggeralgorithmen.

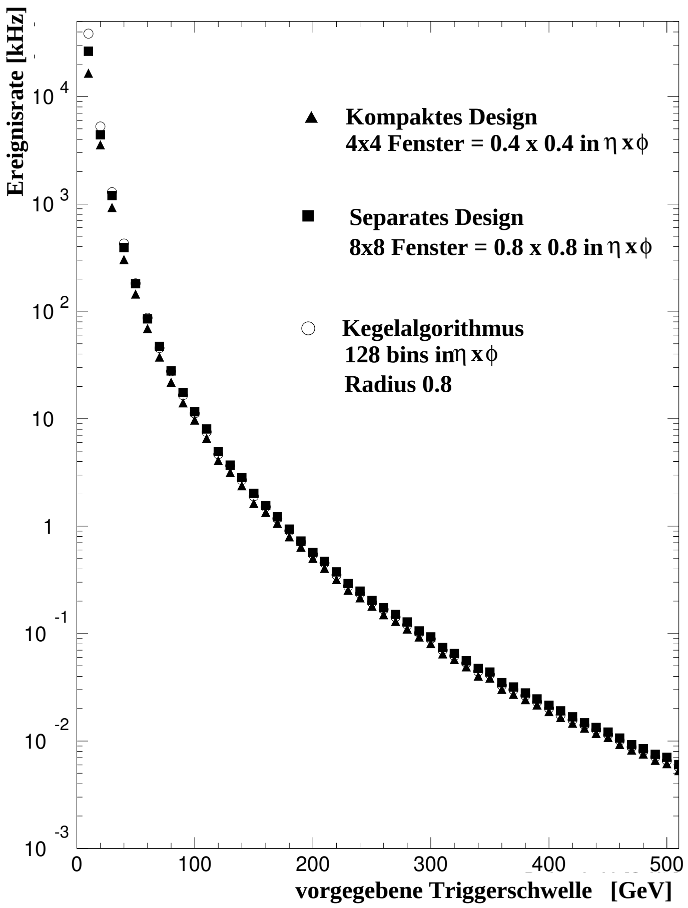

Abbildung 2.7: Jetraten ermittelt mit den beiden Triggeralgorithmen. Zum Vergleich sind die Jetraten, die sich mit einem Kegelalgorithmus ergeben, eingetragen.

Der Kegelradius wurde zu $\sqrt{(\Delta\eta)^2 + (\Delta\phi)^2} = 0.8$ gewählt. Der Winkel- und Pseudorapiditätsbereich mit $|\eta| < 3.2$ wurde jeweils in 128 Abschnitte eingeteilt. Die mit dem Kegelalgorithmus ermittelten Jetraten liegen zwischen den Triggerraten der beiden Triggeralgorithmen. Anhand Abbildung 2.7 ist zu erkennen, daß die Triggerschwellen der Algorithmen auf einen einzelnen Jet nicht unterhalb 100 bis 150 GeV liegen dürfen, da sonst die Raten der vom Level-1-Trigger akzeptierten Ereignisse zu groß werden (siehe Kapitel 2.1.1).

Eine entscheidende Größe, die die Qualität eines Triggeralgorithmus kennzeichnet, ist die Steilheit der Effizienzkurven (siehe Bild 2.8). Ein Trigger sollte möglichst scharf Jets, die unterhalb der Triggerschwelle liegen, ablehnen und Jets oberhalb der Schwelle akzeptieren. In Abbildung 2.8 ist die Effizienz, d.h. das Verhältnis aus getriggerten Ereignissen zu allen Ereignissen, die in diesem Energieintervall erzeugt worden sind, für Triggerschwellen von 50 GeV, 70 GeV und 90 GeV aufgetragen. Als tatsächliche Jetenergie wurde hier zunächst diejenige, die sich mit dem Kegelalgorithmus mit einem Radius von 0.8 ergibt, verwendet. Indem der Kegelalgorithmus und nicht die Partonenergie, aus der der Jet hervorgeht, als Vergleichsenergie benutzt wird, kann gezielt der Einfluß des Jetalgorithmus auf die Triggerrate und Effizienz studiert werden.

Die Effizienzkurven, die mit dem Jetalgorithmus des separaten Designs erzielt werden, zeigen im Energiebereich knapp unterhalb der Triggerschwelle einen Untergrund an akzeptierten Ereignissen. Aufgrund des steil ansteigenden Jetspektrums mit abnehmender Jetenergie führt dieser Untergrund auch bei geringer Wahrscheinlichkeit, daß solche Ereignisse vom Trigger akzeptiert werden, zu erhöhten Triggerraten. Dieser Effekt tritt bei dem Algorithmus des kompakten Designs durch Wahl kleinerer Fenster nicht auf. Es ist zu erwarten, daß dieser Effekt im separaten Design bei Mitberücksichtigung des physikalischen Untergrundes weiter ansteigen wird. Der physikalische Untergrund sollte daher in zukünftigen Simulationsstudien unbedingt enthalten sein.

An der oberen Kante der Effizienzkurve, d.h. am Übergangsbereich zu Energien, in denen beinahe alle Jets durch den Trigger akzeptiert werden, zeigt sich dagegen bei Verwendung des Algorithmus des Kompakten Designs ein Nachteil. Die Effizienzkurven sind dort flacher abgerundet, so daß erst später die Effizienz den Maximalwert von $\epsilon \approx 1$ erreicht. Dies kann dazu führen, daß die Triggerschwellen erniedrigt werden müssen, um ab einer gewünschten Jetenergie wirklich möglichst alle Ereignisse zu akzeptieren, was jedoch wiederum die Triggerrate erhöhen würde. Der Algorithmus des separaten Designs besitzt in diesem Bereich einen schärferen Übergang.

Ein Unsicherheitsfaktor, der die gezeigten Effizienzkurven beeinflußt, resultiert sicherlich aus der Abschätzung der tatsächlichen im Detektor meßbaren Jetenergie. Die entscheidende Größe, die in die Energiebestimmung mit Hilfe des Kegelalgorithmus eingeht, ist der verwendete Radius, der in den hier beschriebenen Studien auf 0.8 festgelegt worden ist. Ist der Radius der Jetquerschnittsfläche in Wahrheit kleiner, so führt dies zu einer unberechtigten Erniedrigung der Triggereffizienzen, da die Jetenergien zu hoch eingeschätzt werden. Diese Erniedrigung würde sich auf den Algorithmus des kompakten Designs aufgrund der kleineren Fenstergröße stärker auswirken, wodurch gegebenenfalls der oben beschriebene Effekt erklärbar ist. Aus diesem Grund sollte zunächst der wirkliche Jetradius abgeschätzt werden.

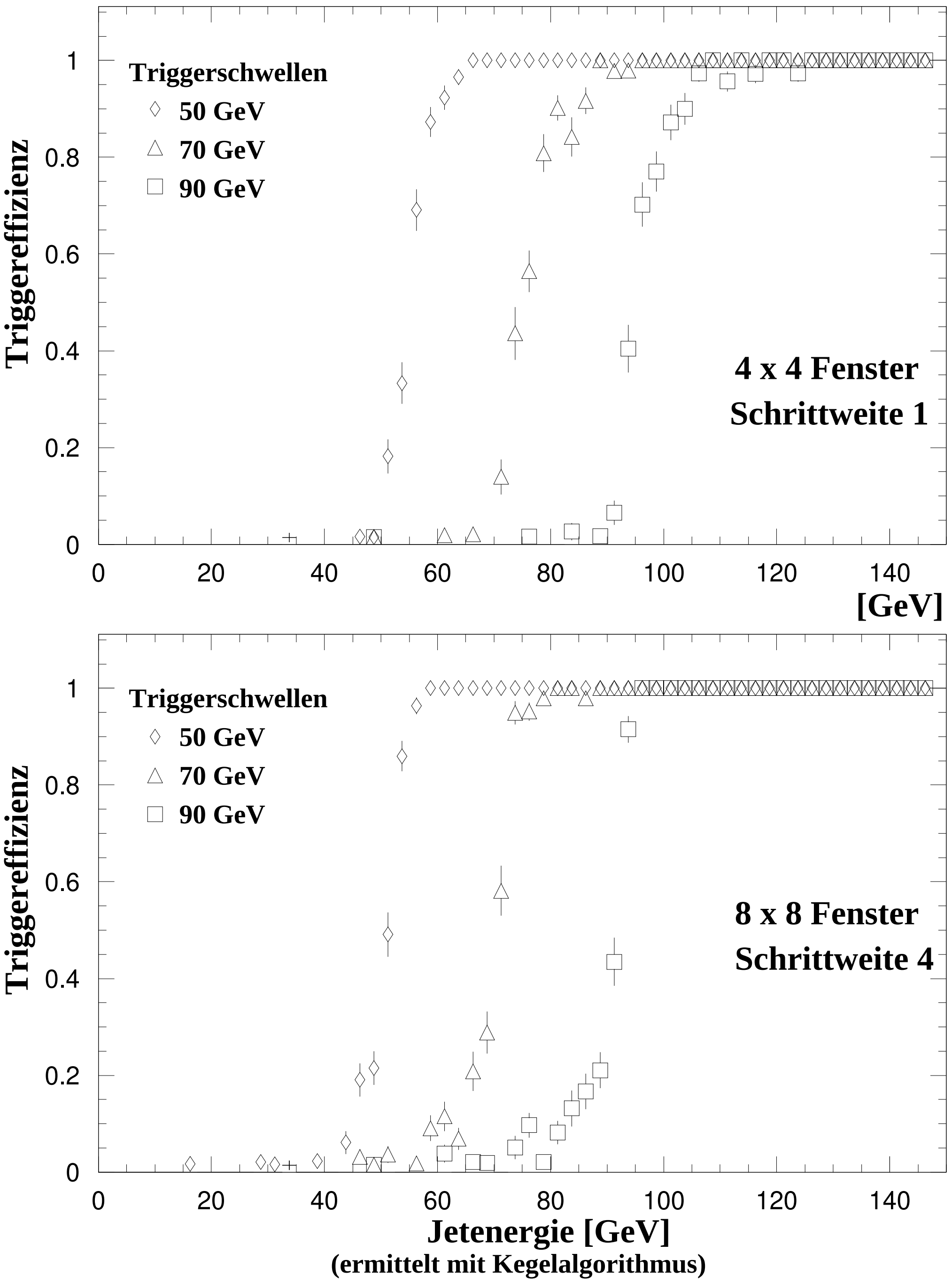

Abbildung 2.8: Effizienzkurven der beiden Jettriggeralgorithmen

Abbildung 2.9 zeigt die Abhängigkeit der mit dem Kegelalgorithmus bestimmten Energien von dem verwendeten Jetradius. Die Transversalenergien der generierten Jets wurden jeweils auf ein Energieintervall von 5 GeV beschränkt.

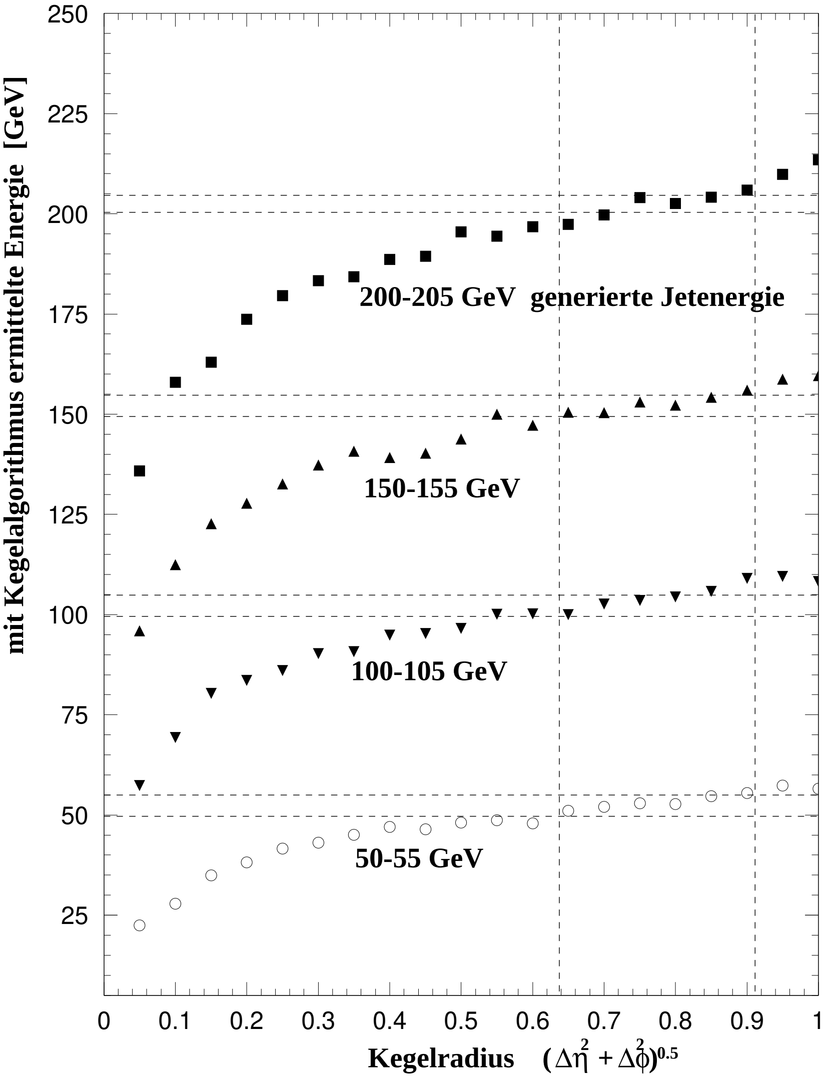

Abbildung 2.9: Abhängigkeit der innerhalb eines Kegels aufsummierten Energie vom Kegelradius

Die Kurven zeigen zunächst einen steileren Anstieg, der bei einem Radius von ungefähr 0.3 etwas abnimmt. In einem Bereich des Kegelradius zwischen 0.7 bis 0.9 entspricht die mit Hilfe des Kegelalgorithmus bestimmte Energie der generierten Jetenergie. Die mit dem Kegelalgorithmus bestimmte Energie wird aber zum einen durch

Teilchen, die außerhalb des Kegelbereichs liegen, gegenüber der tatsächlichen Jetenergie erniedrigt, und zum anderen durch Teilchen, die dem Untergrund[6] angehören und in dem Kegelbereich liegen, erhöht. Der Einfluß dieser beiden Beiträge muß bei der Wahl des Kegelradius genauer untersucht werden.

Hierfür sind Simulationen der Jetprofile bei zwei verschiedenen Jetenergien aufgenommen worden (siehe Abbildung 2.10). Die Energien für alle 64 Triggerzellen, die zum gleichem Azimutwinkelbereich gehören, wurden addiert und in Abhängigkeit vom Winkel aufgetragen. Als Bezugspunkt ($\Delta\phi = 0$) wurde jeweils abwechselnd der Winkelbereich mit der höchsten Energiesumme bzw. der mit der zweithöchsten Energiesumme, der zusätzlich aber in einem Winkel von mindestens 90° zum höchsten Energiebereich liegen muß, verwendet. Durch diese Art der Einsortierung wird verhindert, daß jeweils der schmalere Jet, der am meisten Energie in einem engen Winkelbereich besitzt, als Maßstab dient. Eine optimale Wahl des Kegelradius erfordert eine genaue Analyse der Jetprofile, die im Rahmen dieser Diplomarbeit nicht mehr durchgeführt worden ist.

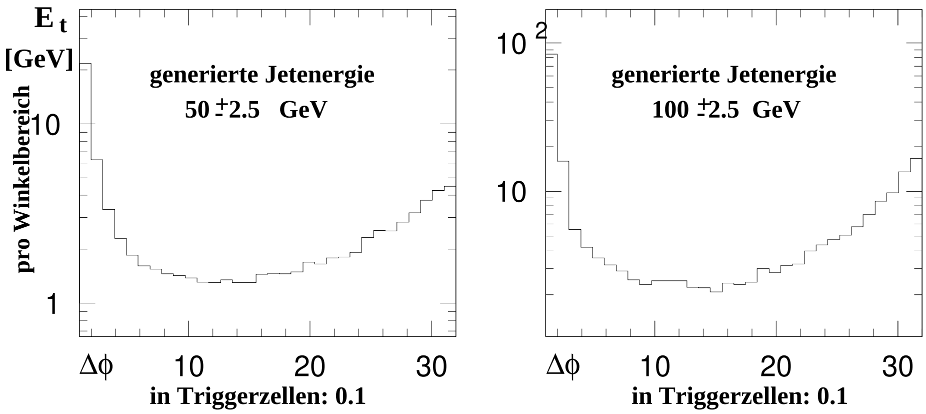

Abbildung 2.10: Jetprofile für Jets mit einer generierten Transversalenergie von 50 GeV bzw. 150 GeV

Die vorliegenden auf Teilchenniveau basierenden Simulationsstudien lassen noch keine Aussagen über die Güte der verschiedenen Jettriggeransätze zu. Zukünftige Triggersimulationen sind erforderlich, die Einflußfaktoren wie den physikalischen Untergrund von durchschnittlich 25 Ereignissen pro Bunch-Crossing, die elektronische Aufbereitung der Kalorimeterdaten (siehe Kapitel 2.3) und eine Simulation des Detektors mitberücksichtigen.

[6] Auch wenn jeweils nur ein Ereignis generiert wird, existiert bereits ein Untergrund an gestreuten Teilchen.

2.4.5 Hardware Realisierung des Prozessor-ASICs

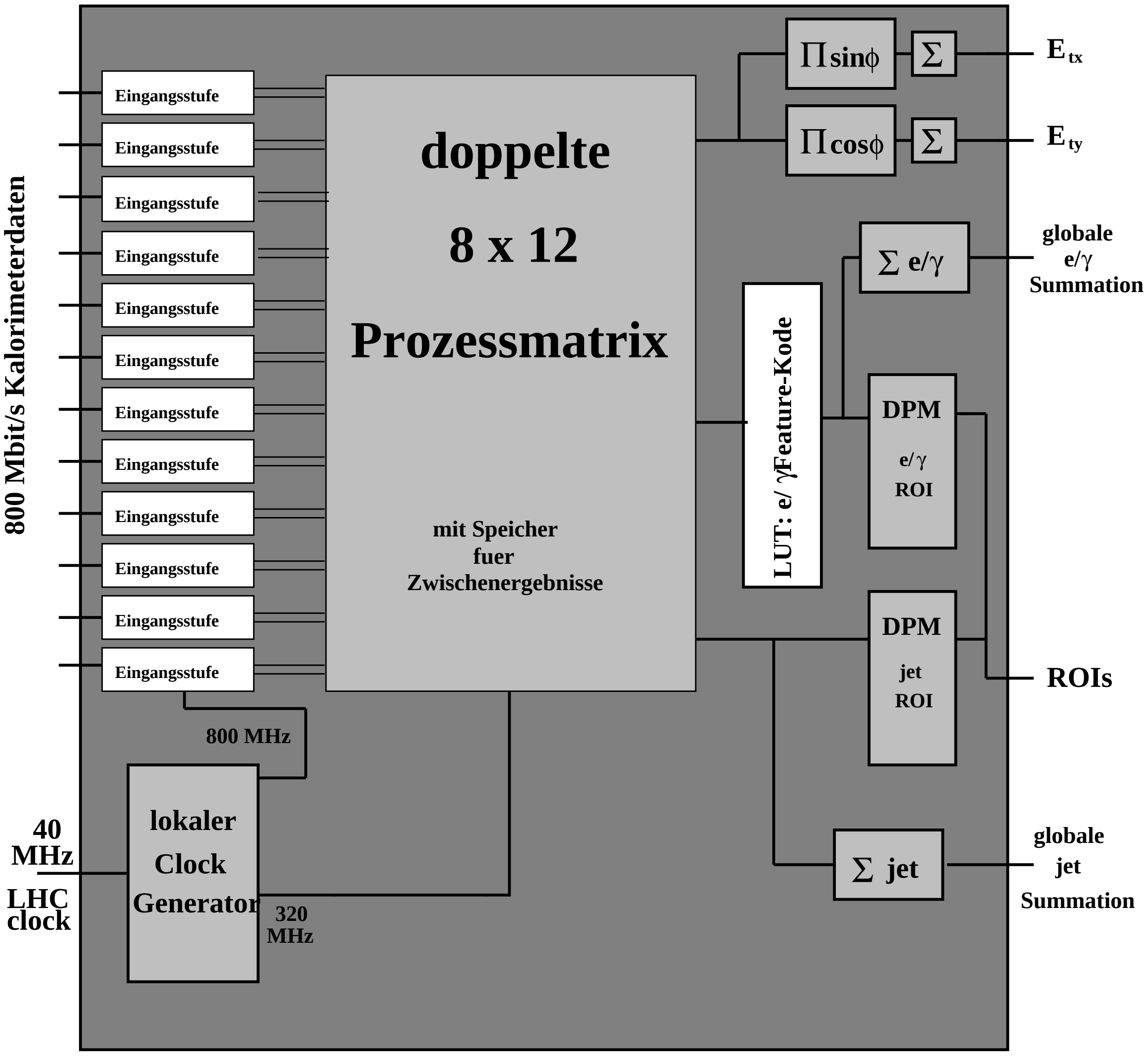

Abbildung 2.11: Blockschaltbild des Prozessor ASIC

In Abbildung 2.11 ist der Aufbau des Triggerprozessor-ASICs anhand eines Blockschaltbildes dargestellt. Ein ASIC untersucht, wie bereits beschrieben wurde, einen Triggerzellenbereich von 0.4×0.8 in $\Delta\eta \times \Delta\phi$, also eine 4×8 Zellenmatrix. Da zur Umsetzung der Isolationsalgorithmen zwei zusätzliche Spalten und Reihen zu dieser Matrix benötigt werden, besitzt der Prozessor-ASIC insgesamt 96 differentielle Eingänge zur Annahme der seriellen 800 Mbit/s Kalorimetersignale. In einer Eingangsstufe (siehe Kapitel 2.5) wird jedes Eingangssignal zunächst in fünf parallele 160 Mbit/s Signale aufgespaltet und schließlich in vier 320 Mbit/s Datenströme umgeleitet, die mit Nullen an den führenden Stellen ergänzt sind, um bei späteren Additionen und Multiplikationen Platz für eventuell auftretende Überträge zu haben. Gesteuert wird dieser Vorgang von Taktsignalen, die in einem internen Clock Generator (siehe hierzu Kapitel 2.5.2) erzeugt werden. Dieser Clock Generator wird selber über die extern zugeführte 40 MHz[7] LHC-Systemuhr getaktet. Die Synchronisation dieser 40 MHz Clock mit den einkommenden Datensignalen (Bit-Alignment) wird in den Eingangsstufen durch programmierbare Verzögerungsschaltungen erreicht. Auch die Synchronisation der Datenströme untereinander, wie die Aussortierung und Interpretation der Kontrollbits (Frame-Alignment), das Ordnen nach Kalorimetertyp und Stellenwert des Bits (Word-Alignment) - LSB zuerst, MSB zuletzt - sowie die Zuordnung zu dem richtigen Bunch-Crossing (Context-Alignment) wird über Schiebe-Register in den Eingangsstufen auf dem Chip durchgeführt.

Die 320 Mbit/s Datensignale werden anschließend zu den Prozeßmatrizen geführt, auf der die in den vorangegangenen Abschnitten beschriebenen Algorithmen[8] implementiert sind. Da eine Prozeßmatrix mit 320 MHz getaktet wird, liegt sie in doppelter Ausführung vor, so daß die seriellen 8-Bit Kalorimeterdaten vollständig in einem 40 MHz Taktzyklus bearbeitet werden können. Da die Triggeralgorithmen jede Triggerzelle gleich behandeln, abgesehen von den Randzellen bezüglich η, bestehen die Prozeßmatrizen aus 96 zum größten Teil identischen Zellen. Diese Symmetrie zwischen den Schaltungseinheiten vereinfacht das Design des Prozessor-ASICs. Innerhalb der Prozeßmatrizen werden die Energiesummen durch den Vergleich mit Triggerschwellen, die in programmierbaren Look-Up-Tables gespeichert sind, in Energieklassen eingeteilt.

Die Energieinformationen, die zu den Elektron/Photon-Algorithmus gehören (Zellenpaare, Isolationsring im elektromagnetischen Kalorimeter und Isolation im hadronischen Kalorimeter), werden über einen zweiten Block Look-Up-Tables in den Feature-Kode umgewandelt, der den physikalischen Inhalt der Triggerzelle charakterisiert. In Summationschaltungen werden die Feature-Kodes gezählt und die Summen zur späteren externen Summierung über den gesamten 64×64 Kalorimeter-Triggerzellenbereich auf Ausgänge geführt. Die Energieklasseninformation über die 4×4 Triggerzellensummen zur Abschätzung der Jetenergien wird direkt zu Addierern geleitet und ebenfalls zur globalen Summierung nach außen geführt. Sowohl die Information über die Jetenergien als auch die Feature-Kodes des $e^{\pm}/\gamma$-Algorithmus werden zusätzlich auf Dual-Port-Memories (DPMs) geleitet. Dort werden sie bis zur Triggerentscheidung der zentralen Level-1-Logik gespeichert, um zur Auslese der ROI-Koordinaten zur Verfügung zu stehen. Zur Berechnung der fehlenden Transversalenergie wird in den Prozeßmatrizen die Energiesummen aller Zellen, die zu einem festen Winkel ϕ gehören, gebildet. Die so erhaltenen vier Summen werden in ihre Komponenten zerlegt und in Addierern komponentenweise summiert.

Um den Datenfluß durch den ASIC zu Testzwecken beobachten zu können, werden die Daten sowohl in der Eingangsstufe als auch Zwischenresultate in den Prozeßmatrizen in Diagnosespeichern zwischengespeichert. Die Endresultate der Triggeralgorithmen können in den Dual-Port-Memories, die im späteren LHC-Betrieb allerdings

[7]Man beachte den Unterschied von der Einheit MHz, die hier nur für Clocksignale verwendet wird, und der Bezeichnung Mbit/s für Datenraten. Ein Clockzyklus entspricht dabei zwei aufeinanderfolgenden Bits, so daß beispielsweise eine 400 MHz Clock einem 800 Mbit/s Signal mit dem Bitmuster 101010101... entspricht.

[8]Außer natürlich dem in Kapitel 2.4.2 dargestellten Jettriggeralgorithmus des separaten Designs

vollständig zur Speicherung der ROI-Koordinaten verwendet werden, gespeichert werden. Die Diagnosespeicher der Eingangsstufen sind so ausgelegt, daß sie als Datenquelle für Testmuster verwendet werden können.

Der Prozeß, der für die Implementation des Prozessor-ASICs verwendet wird, ist ein BiCMOS-Prozeß der schwedischen Firma Ericsson [16]. Die kleinste Strukturbreite, die mit diesem Prozeß möglich ist, beträgt $0.6\mu m$ und kann auf $0.5\mu m$ reduziert werden. Bei einem BiCMOS-Prozeß werden bipolare und CMOS- Technologie in einem Prozeß vereinigt, so daß sowohl bipolare als auch CMOS-Feldeffekttransistoren auf einem Chip integriert werden können. Dies ermöglicht, jeweils die Vorteile der beiden Technologien auszunutzen. Schaltungen, die mit bipolaren Transistoren aufgebaut sind, besitzen eine hohe Bandbreite. Die Transitfrequenz der bipolaren Transistoren, die angibt, bei welcher Frequenz ein Transistor noch eine Verstärkung mit dem Faktor eins erreicht, beträgt 40 GHz. Der Hauptteil der Eingangsstufe des Prozessor-ASICs und der Clock-Generator, die mit hochfrequenten 800 Mbit/s Signalen arbeiten, sind aus diesem Grund in ECL-Logik[9] implementiert, die mit bipolaren Transistoren aufgebaut ist. Die Schaltkreise für die Triggerlogik und auch die Einheiten außerhalb der Prozeß-Matrizen wie beispielsweise die DPMs, LUTs zur Generierung der Feature-Kodes, die die demultiplexten 320 Mbit/s bzw. 160 Mbit/s Datenflüsse verarbeiten, sind hingegen in leistungs- und platzsparender CMOS-Technologie realisiert.

Eine der entscheidenden Faktoren in diesem Triggerkonzept, der möglicherweise zu Problemen führen kann, ist der Umgang mit den hochfrequenten 800 Mbit/s Signalen[10]. Eine bedeutende Frage hierbei ist, ob die Clock-Erzeugung und Clock-Verteilung auf dem Prozessor-ASIC mit genügend großer Stabilität durchgeführt werden kann, so daß die Verarbeitung der schnellen Datensignale in den Eingangsstufen synchronisiert werden und fehlerfrei ablaufen kann. Um diese Problem vorweg untersuchen zu können, sind der Clock-Generator und die wichtigsten Teile der Eingangstufen zunächst gesondert auf einem ASIC - dem sogenannten TASIC - implementiert worden. Eine fehlerfreie Funktion des TASICs stellt eine Grundvorausetzung für die weitere Entwicklung des Prozessor-ASICs dar.

2.5 Der TASIC

2.5.1 Überblick

Grundkenntnisse über die Schaltungseinheiten und Funktionen des TASICs stellen eine Voraussetzung für die Entwicklung eines TASIC-Testprogrammes dar. Dieses Unterkapitel ist aus diesem Grund einer Darstellung der Funktionsweise der verschiedenen Schaltungen, die auf dem TASIC integriert sind, gewidmet und soll damit zum Verständnis des in Kapitel 4.2.2 beschriebenen Programmes für die zu erfolgenden Tests beitragen. Hierbei wird vor allen Dingen auf die Verwendung der Kontroll- und Datenleitungen Wert gelegt.

[9] Siehe Kapitel 3.2.1

[10] Zu Problemen, die bei hochfrequenten Signalen auftreten können, siehe Kapitel 3.3.

Der TASIC ist mit dem gleichen $0.6\mu m$-BiCMOS-Prozeß entwickelt worden, wie er auch für den Prozessor-ASIC verwendet werden soll. Auch auf dem TASIC sind sowohl bipolare als auch CMOS Schaltungen integriert. Im wesentlichen stellt er die gleichen Funktionen, wie sie in den Eingangsstufen der 800 Mbit/s Kalorimeterdatenkanäle auf dem Prozessor-ASIC implementiert sind, zur Verfügung. Abweichend von diesen Eingangsstufen ist der TASIC nur mit 16 Kanälen für 800 Mbit/s Eingangssignale ausgerüstet. Auch die in CMOS-Technologie ausgeführte Schieberegisterstaffelung zur Synchronisation der Signale ist nicht vollständig auf dem TASIC vorhanden. Der Aufbau des TASICs ist in Abbildung 2.12 dargestellt. Auf dem TASIC sind folgende Schaltungseinheiten implementiert:

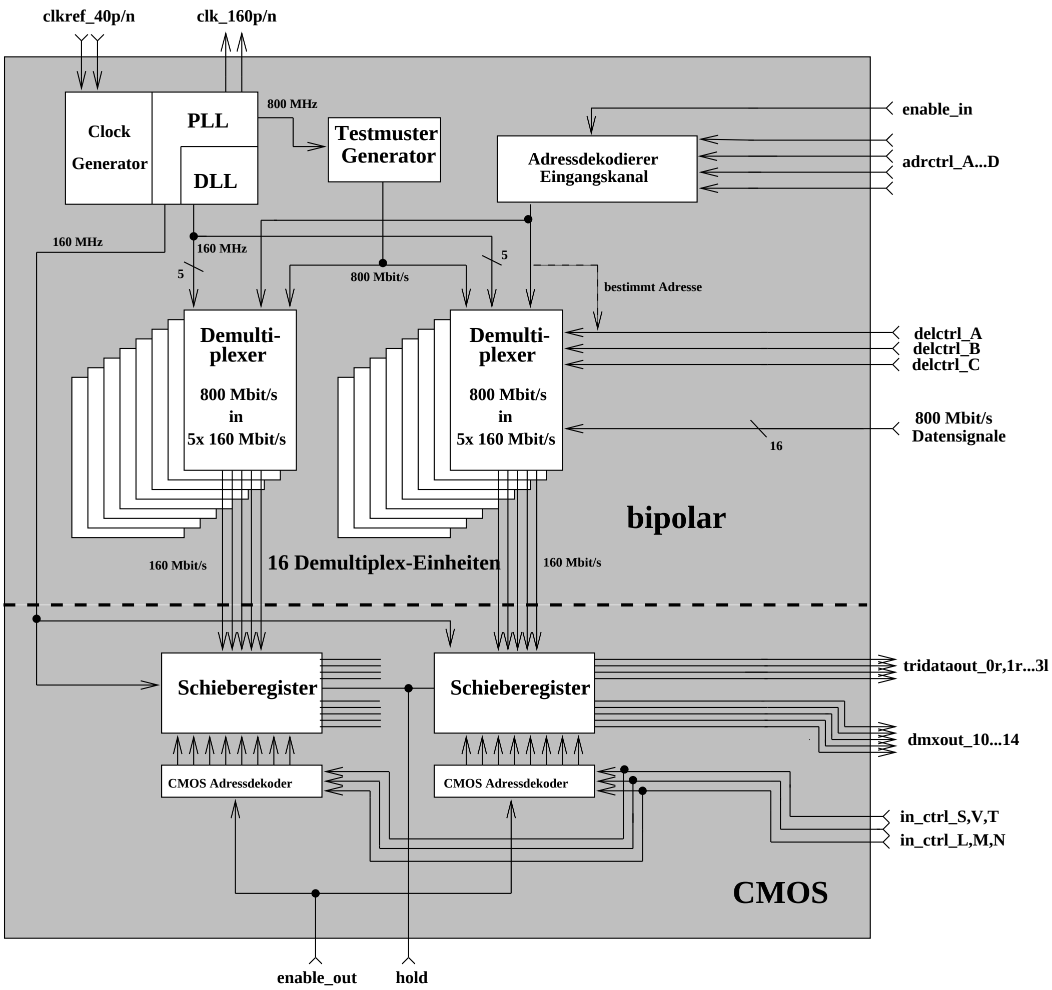

Abbildung 2.12: Blockschaltbild des TASICs

1. Der Clock Generator, bestehend aus einer Phase-Locked-Loop (PLL) und einer Delay-Looked-Loop (DLL) zur Erzeugung der nötigen Taktfrequenzen für die bipolaren wie für die CMOS Schaltkreise

2. Komparatoren zur Annahme von insgesamt 16 hochfrequenten Eingangsdatensignalen

3. Ein programmierbares Delay für jedes 800 Mbit/s Eingangssignal zur Phasenabstimmung zwischen Clocksignal und Datensignal

4. Demultiplexer für die Parallelisierung der Eingangssignale in fünf 160 Mbit/s Signale. Nur zwei von diesen 16 Eingängen werden auf schnelle Ausgänge geführt.

5. Schieberegister zur Zwischenspeicherung der parallelisierten Daten. Zur Steuerung der Auslese dieser Register befinden sich Adreßdekodierschaltungen auf dem TASIC. Die Register sind als CMOS-Schaltungen realisiert.

6. Ein Pseudozufallszahlengenerator zur internen Erzeugung von Testvektoren zum Test der Demultiplexer

2.5.2 Der Clock Generator

Der Clock Generator wird durch eine externe 40 MHz Uhr getaktet. Synchron zu dieser muß der Clock Generator den Takt zur Steuerung der Demultiplexerschaltungen und eine 160 MHz Clock für die CMOS Schaltungen erzeugen. Eine Phase-Locked-Loop übernimmt hier die Aufgabe der Frequenzvervielfachung der anfänglichen 40 MHz Referenzwechselspannung.

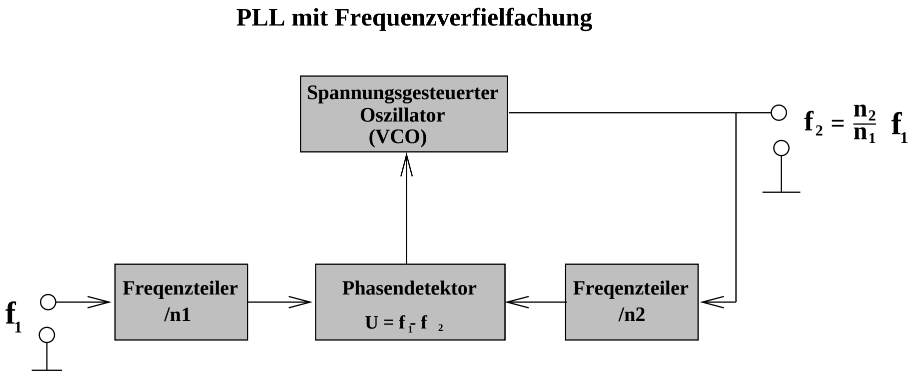

Abbildung 2.13: Prinzipieller Aufbau eine Phase-Locked-Loop

Abbildung 2.13 zeigt den prinzipiellen Aufbau einer Phase-Locked-Loop. Es wird eine Referenzfrequenz vorgegeben. In der PLL befindet sich ein Oszillator (VCO [11]), dessen Frequenz von einer Kontrollspannung abhängig ist. In einem Phasendetektor wird die Phase des vom Oszillator der PLL erzeugten Signals mit der Phase der Referenzwechselspannung verglichen und eine Spannung , die proportional zur Phasendifferenz dieser Signale ist, generiert. Diese Spannung wird zur Steuerung des spannungsgesteuerten Oszillators der PLL verwendet. Man erhält so eine Rückkopplung, die die Synchronität beider Signale gewährleistet.

[11]VCO: voltage controlled oscillator

Befinden sich vor den beiden Freqenzeingängen des Phasendetektors Frequenzteiler, so läßt sich auf diese Weise die Frequenz f_2 des spannungsgesteuerten Oszillators auf beliebige rationale Vielfache der Bezugsfrequenz f_1 einstellen. Es gilt in diesem Fall:

$$\frac{f_1}{n_1} = \frac{f_2}{n_2} \tag{2.1}$$

Die Stabilisierung der Signalfrequenz kann nur in einem begrenzten Frequenzbereich erreicht werden, der sich aus dem speziellen Aufbau der PLL ergibt.

Bild 2.14 zeigt das Blockschaltbild der PLL, wie sie auf dem TASIC mit $n_2 = 20$ implementiert ist, so daß man eine Frequenz $f_2 = 800$ MHz erhält. Als Phasendetektor dient hier ein invertiertes XOR Gatter. Ein Eingang des XORs ist mit dem extern eingespeisten 40 MHz Referenzsignal verbunden. Der Ausgang des spannungsgesteuerten Oszillators der PLL ist mit dem zweiten Eingang des XORs verbunden. Zwischen VCO und XOR-Gatter wird eine Freqenzreduzierung des VCO Signals um den Faktor 20 erziehlt, wobei diese Frequenzteilung auf einen fünfach Teiler und zwei Freuqenzhalbierer aufgeteilt ist. Der Oszillator erzeugt so eine zur 40 MHz Referenzclock synchrone 800 MHz Wechselspannung. Durch die Aufteilung der Frequenzreduzierung in drei aufeinander folgende Einheiten kann das benötigte 160 MHz Signal hinter dem ersten Frequenzteiler, der die Frequenz von 800 MHz auf ein Fünftel erniedrigt, ausgekoppelt werden. Diese 160 MHz Clock wird zum einen zur DLL geführt und zum anderen in einem Konverter von ECL auf CMOS Pegel gewandelt und als Taktsignal für die CMOS Schaltungen verwendet. Um den Test des Clock Generators zu erleichtern, wird die 160 MHz Clock außerdem auf Ausgänge geführt. Unmittelbar hinter dem VCO wird das 800 MHz Signal zur Steuerung des Testmustergenerators ausgekoppelt.

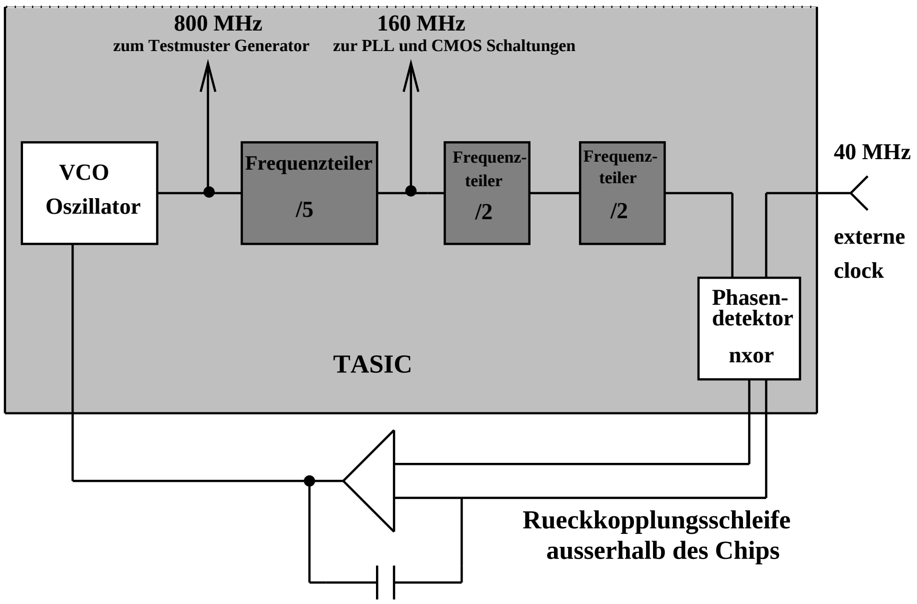

Abbildung 2.14: Blockschaltbild der PLL Implementation auf dem TASIC

Die Rückkopplung der PLL ist nicht auf dem TASIC selber implementiert. Sie muß in einer externen Schaltung (siehe Kapitel 4) hinzugefügt werden. Das XOR, das als Phasendetektor genutzt wird, erzeugt ein digitales Signal, dessen Länge proportional zur Phasenverschiebung zwischen beiden Eingängen ist. Dieses Signal wird differentiell nach außen auf die Eingänge eines externen als Integrator geschalteten Operationsverstärker gegeben. Dieser arbeitet im linearen Bereich und wandelt die Signaldauer des Eingangssignals in eine hierzu proportionale Spannung um, welche als Steuerspannung für den VCO zurück auf den TASIC geführt wird.

Zur Steuerung der Demultiplexer werden fünf 160 MHz Clocks benötigt, die jeweils gegeneinander um ein Fünftel der Clockphase des 160 MHz Taktsignals zeitlich verschoben sind. Die Erzeugung dieser Clocksignale wird durch eine Delay-Locked-Loop durchgeführt.

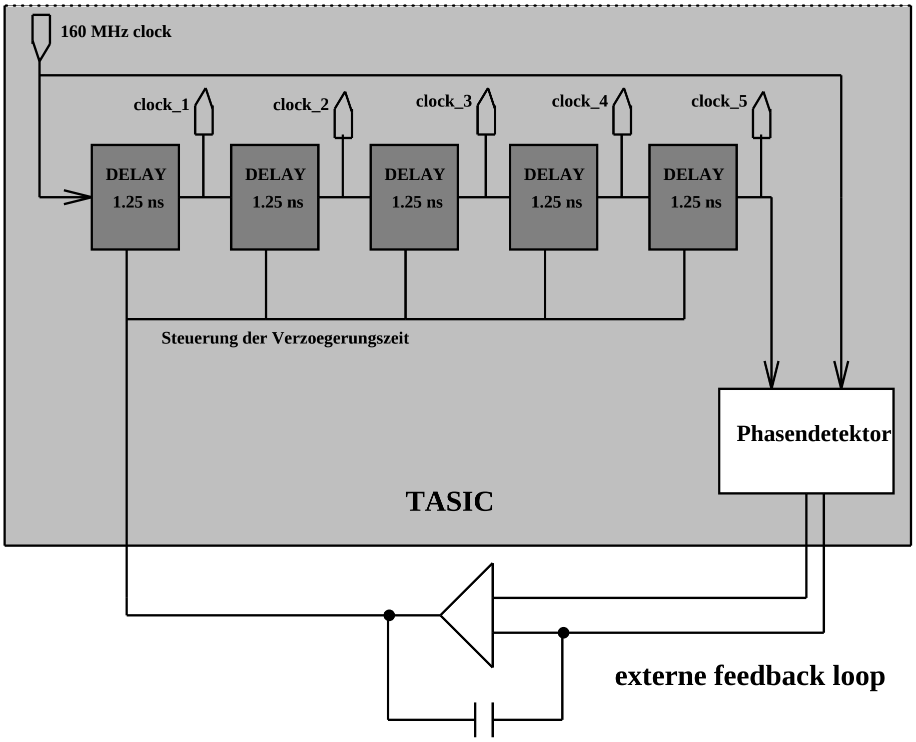

Abbildung 2.15: Blockschaltbild der DLL auf dem TASIC

Die DLL besteht, wie in Figur 2.15 zu sehen ist, aus fünf in Serie geschalteten Delay-Einheiten. Die Verzögerungszeit dieser Delayschaltkreise ist über eine Kontrollspannung regelbar. Das von der PLL erzeugte 160 MHz Clocksignal wird auf diese Delaykette gegeben, wobei jedes Delay eine Verzögerung von einem Fünftel der 160 MHz Clockphase bewirken soll. Um diese Verzögerungszeit zu stabilisieren, wird das Signal nach Durchlaufen aller fünf Verzögerungsschaltungen auf einen Phasendetektor gegeben. Die 160 MHz Clock wird vor der ersten Delay-Einheit ausgekoppelt und als Referenzsignal direkt auf den anderen Eingang des Phasendetektors gesendet. Da das Signal, das die Verzögerungskette durchlaufen hat, fünfmal um ein Fünftel der Clockphase, also genau um eine Clockperiode der 160 MHz Clock, verzögert worden ist, sollten sich beide Signale am Eingang des Phasendetektors in Phase befinden. Die Rückkopplung geschieht auf die gleiche Weise wie bei der PLL. Der Phasendetektor erzeugt ein Signal, dessen Dauer proportional zur Phasendifferenz der beiden Eingangssignale ist. Durch die externe Rückkopplungschaltung wird ein Spannungspegel proportional zur Signallänge und damit proportional zur Phasenverschiebung erzeugt. Diese Spannung dient zur Steuerung der Verzögerungszeiten der Delay-Einheiten. Koppelt man nun jeweils nach jedem der Verzögerungsschaltkreise das Clocksignal aus, so erhält man fünf jeweils um eine Taktlänge der 800 Mbit/s Datensignale gegeneinander verschobene 160 MHz Clocksignale.

2.5.3 Programmierbares Delay

Die Synchronisation zwischen den 800 Mbit/s Eingangsdaten und dem 40 MHz Taktsignal muß intern im TASIC durchgeführt werden. Die Phasenverschiebung zwischen den Eingangsdatensignalen und den 160 MHz Taktsignalen zur Steuerung der Demultiplexer, deren Phasenlage durch die externe 40 MHz Clock vorgegeben ist, muß so abgestimmt sein, daß eine korrekte Parallelisierung der Datensignale erfolgen kann. Erfolgt der Takt für einen der Sample&Hold-Schaltkreise des Demultiplexers gerade auf der Flanke zwischen zwei stabilen Zuständen, kann es zu Fehlern kommen. Zur Anpassung der Phasendifferenz befinden sich in den Eingangsstufen der Datensignale Verzögerungseinheiten, deren Verzögerungszeit variiert werden kann. Die Signale durchlaufen je nach Programmierung zwischen 0 bis 4 Delayschaltkreise, die jeweils eine Verzögerung von ungefähr 300 ps bewirken, so daß die Verzögerungszeit in 300 ps Schritten auf einen Maximalwert von ca. 1200 ps eingestellt werden kann. Die Verzögerungszeiten der einzelnen Delay-Einheiten ist wie bei der DLL durch eine Spannung regelbar. Hierfür wird die gleiche Kontrollspannung wie für die Delayschaltungen der DLL verwendet, so daß sich die Verzögerungszeiten den Raten der Eingangssignale anpaßt, falls diese zu Testzwecken erniedrigt werden.

Die Programmierung der Verzögerungszeit geschieht über die ECL Eingangsleitungen: *delctrl_a, delctrl_b und delctrl_c*. Hierbei bedeuten:

delctrl_			Anzahl der	ungefähre	
a	b	c	Delayblöcke	Verzögerungszeit	
1	1	1	0	0	ps
1	1	0	1	250	ps
1	0	1	2	500	ps
1	0	0	3	750	ps
0	x	x	4	1	ns

Tabelle 2.2: Programmierung der Verzögerungszeiten

Die in Tabelle 2.2 aufgelisteten Kontrolleitungen werden für alle 16 Dateneingangskanäle benutzt. Um die Verzögerungszeiten dennoch für jeden Kanal separat einstellen zu können, wird über die Adreßleitungen, *adrctrl_A (LSB), adrctrl_B, adrctrl_C* und *adrctrl_D (MSB)*, die Kanalnummer angegeben, für den die Programmierung der Delayzeit gerade durchgeführt werden soll. Durch einen High-Pegel an dem *enable_in* TASIC-Kontrolleingang wird der Kode für die Verzögerungszeiteinstellung des betreffenden Kanals eingelesen und in Registern gespeichert, so daß sie bis zu einer erneuten Änderung bestehen bleibt.

Eine der wesentlichen Aspekte des TASIC-Tests besteht darin, zu überprüfen, inwieweit die Synchronisation der Eingangsdaten mit dem TASIC-Taktsignal durchgeführt werden kann. Ein möglichst weiter Spielraum der Phasendifferenz zwischen den Signalen, in dem die Parallelisierung der Daten stabil bleibt, ist wünschenswert. Dieser Test wird ebenfalls durch die Zeitstabilität der für den TASIC-Test verwendeten 800 Mbit/s Testsignale beeinflußt. Das Testsignal sollte daher eine möglichst kleine Schwankung in der Taktlänge besitzen, damit die Synchronisierung der Signale auf dem Chiptester nicht maßgeblich gestört wird. (Zur Messung des Zeitverhaltens der Testsignale siehe Kapitel 3.6.3.)

Nach Durchlaufen des gerade beschriebenen Delays werden die 800 Mbit/s Daten zur Parallelisierung weitergeleitet.

2.5.4 Die Demultiplexerschaltungen

Die eigentliche Aufgabe der Parallelisierung der 800 Mbit/s Eingangsdatensignale übernehmen Sample&Hold-Schaltungen, die als Demultiplexer verwendet werden. Die Funktionsweise der Schaltung ist in Abbildung 2.16 dargestellt. Jedes der 800 Mbit/s Eingangssignale wird auf fünf getaktete Flip-Flops gegeben. Als Taktgeber für die Flip-Flops dienen die fünf zeitlich versetzten 160 MHz Signale, die in der DLL erzeugt worden sind. Durch die zeitliche Verschiebung der Taktzyklen werden die ankommenden Bits des 800 Mbit/s Eingangssignals auf die 5 Flip-Flops verteilt, so daß man fünf parallele Signale erhält.

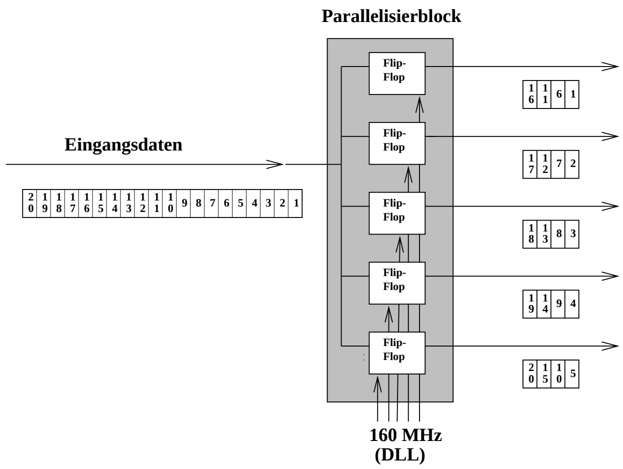

Abbildung 2.16: Das Prinzip der Parallelisierung der 800 Mbit/s Eingangsdaten in fünf 160 Mbit/s Datenkanäle

Die Daten werden nach dieser Parallelisierung zu Pegelkonvertierern geleitet, die die ECL Signale in CMOS Signale umwandeln. Diese Konvertierung ist notwendig, da die Logik des Prozessor-ASICs in CMOS-Technologie implementiert sein wird. Auf dem TASIC befinden sich CMOS-Register, in denen die parallelisierten Daten gespeichert werden.

2.5.5 Die CMOS-Schieberegister

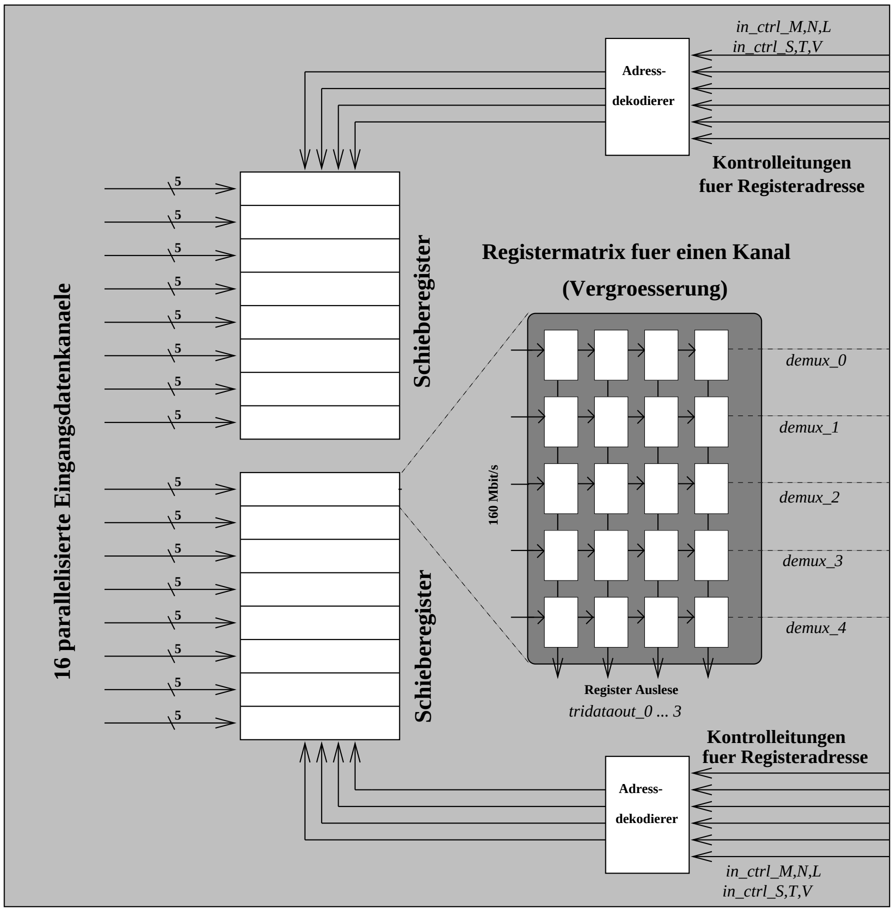

Abbildung 2.17: CMOS Schieberegister und Adreßdekodierer

Auf dem Prozessor-ASIC besteht die Funktion der Register darin, die richtige Zuordnung der einzelnen Datenbits zu Kalorimeterenergien schrittweise wiederherzustellen. Auf dem TASIC lassen sich mit Hilfe der Schieberregister die Daten auslesen und so die Funktionsweise der Demultiplexer kontrollieren.

Die Register sind in zwei großen Einheiten angeordnet. Jede dieser Einheiten empfängt Daten von acht Eingangsdatenkanälen, wobei jeder Kanal aus den fünf demultiplexten 160 Mbit/s Signalen besteht. In dem vergrößerten Ausschnitt von Abbildung 2.17 ist die Registeranordnung für einen einzelnen der 16 Eingänge dargestellt. Die

fünf demultiplexten Datenkanäle werden in Schieberegistern mit vier Bit Speichertiefe gespeichert. Man erhält so eine 5×4 Registerzellenmatrix für jeden der 16 ursprünglichen 800 Mbit/s Dateneingänge.
Die Adressierung der Schieberegister erfolgt über sechs Kontrolleitungen. Drei Leitungen geben die Adresse des Kanals innerhalb der zwei großen Registerblöcke an. Dabei wird nur eine Adresse für beide Blöcke verwendet, so daß immer zwei Kanäle gleichzeitig adressiert werden. Die Zuordnung dieser drei Kontrolleitungen zu den Kanälen ist in Tabelle 2.3 aufgelistet.

Kanal in 'linker' Registereinheit	N	M	L	Kanal in 'rechter' Registereinheit
Kanal 0	0	0	0	Kanal 15
Kanal 1	0	0	1	Kanal 14
Kanal 2	0	1	0	Kanal 13
Kanal 3	0	1	1	Kanal 12
Kanal 4	1	0	0	Kanal 11
Kanal 5	1	0	1	Kanal 10
Kanal 6	1	1	0	Kanal 9
Kanal 7	1	1	1	Kanal 8

Tabelle 2.3: Adressierung der Schieberegister. Durch die Signale *in_ctrl_L, in_ctrl_M* und *in_ctrl_N* werden die beiden Kanäle bestimmt, deren Register ausgelesen werden sollen.

Die Kontrolleitungen *in_ctrl_S, in_ctrl_T und in_ctrl_V* definieren nun einen der fünf Schieberegister innerhalb eines Kanals (siehe Tabelle 2.4). Es werden also immer nur die letzten vier Bits auf einem der 160 Mbits/s Kanäle ausgelesen.

in_ctrl_			
V	T	S	
0	0	0	Register 0
0	0	1	Register 1
0	1	0	Register 2
0	1	1	Register 3
1	0	0	Register 4

Tabelle 2.4: Festlegung der Registeradresse durch die Kontrolleitungen *in_ctrl_S, in_ctrl_T und in_ctrl_V*

Das Einlesen der Adresse sowohl für den Kanal als auch für das Register muß durch einen High-Pegel an der Kontrolleitung *enable_out* freigegeben werden. Über die *hold* Kontrolleitung kann der Lesefluß in die Schieberegister angehalten werden. Liegt *hold* auf High-Zustand, werden Daten in die Schieberegister eingelesen. Durch einen Low-Pegel kann die Einlese gestoppt und die Daten für die Auslese gespeichert werden.

Vor jedem Auslesezyklus muß der Datenfluß auf diese Weise angehalten werden. Der Inhalt der beiden adressierten Schieberegister liegt an den Datenbussen *tridataout_l0 .. l3* für das adressierte Schieberegister aus dem 'linken' Registerblock und entsprechend *tridataout_r0 .. r3* für das Register des 'rechten' Blocks zur Auslese bereit an.

Auf dem kompletten Prozessor-ASIC sollen die Daten allerdings ohne eine Unterbrechung des Datenflusses aus den Schieberegistern mit voller Datenrate von 160 Mbit/s pro Kanal weitergeleitet werden. Diese schnelle Registerauslese ist auf dem TASIC lediglich für zwei der 16 Kanäle realisiert. Die fünf parallelen Signale der Kanäle mit den Adressen 4 und 15 werden nach Durchlaufen der Schieberegister direkt auf die Ausgänge *demux_00 .. 04* bzw. *demux_10 .. 14* gegeben. Es fehlen für diese Ausgangssignale jedoch ausreichende Signaltreiber, so daß eine nachträgliche Verstärkung der Signale auf dem Testboard mit Videobuffern ratsam ist.

Ein Hauptbestandteil des TASIC-Testprogrammes wird die Messung der Bit-Fehlerrate der Demultiplexerschaltungen sein. Der Test wird über die Registerauslese und die schnellen Ausgangssignale erfolgen.

2.5.6 Verwendung des internen Testmustergenerators

Der TASIC besitzt einen internen Pseudozufallszahlengenerator zur Erzeugung von Testsignalen. Da stets die gleichen Bitfolgen generiert werden, ist das Testmuster bekannt. Über die Kontrolleitung *selextint* kann zwischen extern zugeführten Testsignalen und der Benutzung des internen Testsignalgenerators ausgewählt werden. Die intern erzeugten Signale werden ebenfalls auf die programmierbaren Verzögerungseinheiten geleitet.

selextint = 0	Eingangsdaten werden auf dem Chip erzeugt
selextint = 1	Eingangsdaten werden extern zugeführt

Tabelle 2.5: Über den *selextint* kann zwischen externen Testsignalen und intern generierten Bitmustern umgeschaltet werden.

2.5.7 Spannungsversorgung

Die Schaltungen des TASICs benötigen einen Massepegel und jeweils eine positive Spannungsversorgung für die bipolaren (V_{CC}) und die CMOS Schaltkreise (VDD_CMOS). Sowohl V_{CC} als auch VDD_CMOS müssen an eine Spannung von +3.3 V in bezug auf den Massepegel angeschlossen werden. Die ECL-Schaltungen werden also in positiver ECL-Logik[12] (PECL) verwendet. Um jedoch Standard-ECL-Signale mit negativen Spannungspegeln, die gegenüber der festen Chip-Testermasse (= OV) definiert sind, als Testsignale verwenden zu können, wird die Masse des TASICs auf -3.3 V gelegt und die beiden Spannungsversorgungen auf 0 V. Die Spannungsdifferenz zwischen Versorgungsspannung und Masse wird damit beibehalten, während die Pegel der Testsignale

[12]Zu ECL und PECL siehe Kapitel 3.2.1.

nun in bezug auf die TASIC-Masse einen positiven Spannungspegel aufweisen. Die differentiell zugeführten ECL-Signale werden auf dem TASIC als asymmetrische Signale weiterverarbeitet. Als Bezugspunkt zur Trennung zwischen High- und Low-Pegel wird eine extern angelegte Referenzspannung (V_{ref}) verwendet. Sie muß daher auf die Spannungmitte zwischen den ECL-Pegeln, also $V_{ref} = -1.2V$, gelegt werden.
Das TASIC-Substrat wird über den *substrat* Eingang mit $V_{CC} = 0V$ verbunden.
Die bipolaren Schaltungseinheiten des TASICs benötigen einen Biasstrom von jeweils $90\mu A$, der dem Chip über den *Bias*-Eingang zugeführt wird. Der *Bias*-Eingang muß dazu über ein Potentiometer, das den fließenden Strom auf $90\mu A$ begrenzen soll, gegen die V_{CC}-Spannung angeschlossen werden. In einem auf dem TASIC integrierten Stromspiegel werden aus diesem Referenzstrom die nötigen Biasströme für sämtliche bipolaren Schaltungen erzeugt.

2.5.8 Bonding und Gehäuse

In der Regel werden die Signale über dünne Golddrähtchen zwischen Siliziumchip und Gehäuse geführt[13]. Die Drähte sind auf Kontaktflächen (*Pads*), die an den Rändern des Chips liegen, befestigt. Durch die parasitären Kapazitäten der Bonding-Drähte kann es aber bei schnellen Signalanstiegszeiten zu Signalstörungen kommen. Ein weiterer Nachteil dieser Technik besteht in dem begrenzten Platz, der zur Verfügung steht. Es ist nicht möglich, ein Feld, bestehend aus mehreren Reihen von Kontaktflächen, über Drähte mit dem Gehäuse zu verbinden, da es zu Kurzschlüssen kommen kann, falls sich Drähte berühren. Die Signale müssen auf dem Chip alle zu am Rande liegenden Pads geführt werden, was gerade bei Chips mit hoher Pinzahl zu Problemen führt.

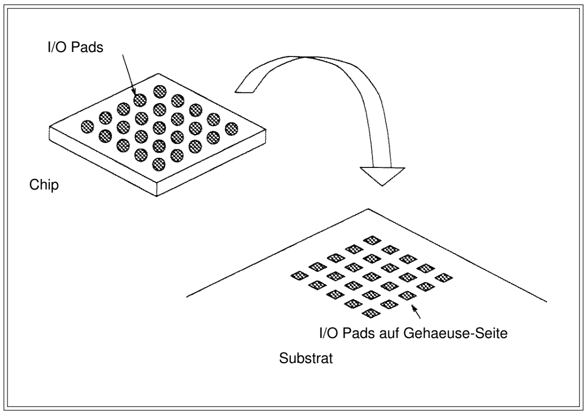

Abbildung 2.18: Flip-Chip Bonding

Eine modernere Bonding-Technik, bei der diese Probleme nicht auftreten, ist das Flip-Chip-Bonding [18] (siehe Bild 2.18). Die Kontaktflächen liegen in einem Feld angeordnet auf der gesamten Siliziumfläche des Chips. Auf dem Substrat des Gehäuses befindet sich ebenso ein Kontaktflächenfeld. Indem kleine Lötzinnkügelchen auf den

[13]Diese Technik wird als Wire-Bonding bezeichnet

Pads des Chips angebracht werden und dieser anschließend in einem Ofen erwärmt und auf das Gehäuse aufgesetzt wird, werden die Kontakte hergestellt. Durch Adhäsionskräfte werden kleine Deplazierungen selbst korrigiert, und der Siliziumchip haftet auf dem Gehäuse. Die parasitären Kapazitäten sind bei dieser Technik sehr gering, so daß sie speziell im Hochfrequenzbereich sehr vorteilhaft ist. Durch die Anordnung der Kontaktflächen auf dem Chip als Matrix wird die Siliziumfläche besser ausgenutzt.

Da der Level-1-Kalorimetertriggerprozessor schnelle Signale empfängt und eine sehr hohe Zahl an Ein- und Ausgangsleitungen besitzt, bedient man sich hier der Flip-Chip-Technologie. Die Verwendbarkeit des Flip-Chip-Bondings soll bereits mit dem TASIC getestet werden. Ein Großteil der Signale werden daher auf Flip-Chip-Pads geleitet (siehe Bild 2.19). Um jedoch auch einen Test des TASICs ohne Benutzung der Flip-Chip-Technologie zu ermöglichen, sind ein Teil der Signale auf herkömmliche Pads, am Rande der Siliziumfläche geführt worden. Sämtliche Kontroll- und Registerausleseleitungen sind sowohl mit Flip-Chip wie auch mit Wire-Bonding-Pads verbunden. Die 800 Mbit/s Eingangskanäle sind zwischen beiden Varianten aufgeteilt. Hierbei werden für die Eingänge mit den Adressen 0 bis 8 Flip-Chip-Pads verwendet, während man sich für die Kanäle 9 bis 15 des Wire-Bondings bedient. Die schnellen demultiplexten 160 Mbit/s Ausgangsdaten der Kanäle 4 und 15 werden jeweils auf Flip-Chip-Pads geführt. Die fünf Ausgangssignale von Kanal 15 wurden zusätzlich über nachträglich angebrachte lange Bonding-Drähte (siehe Abbildung 2.19 rechts) mit den Gehäusekontaktflächen verbunden, so daß ein Test der Demultiplexerschaltungen über diese Signale auch ohne Verwendung eines Flip-Chip-Gehäuses durchgeführt werden kann. Die Kapazitäten der langen Bonding-Drähte kann aber eine Störung der Signalqualität verursachen. Als Gehäuse wird ein *Ball Grid Array* (BGA) verwendet.

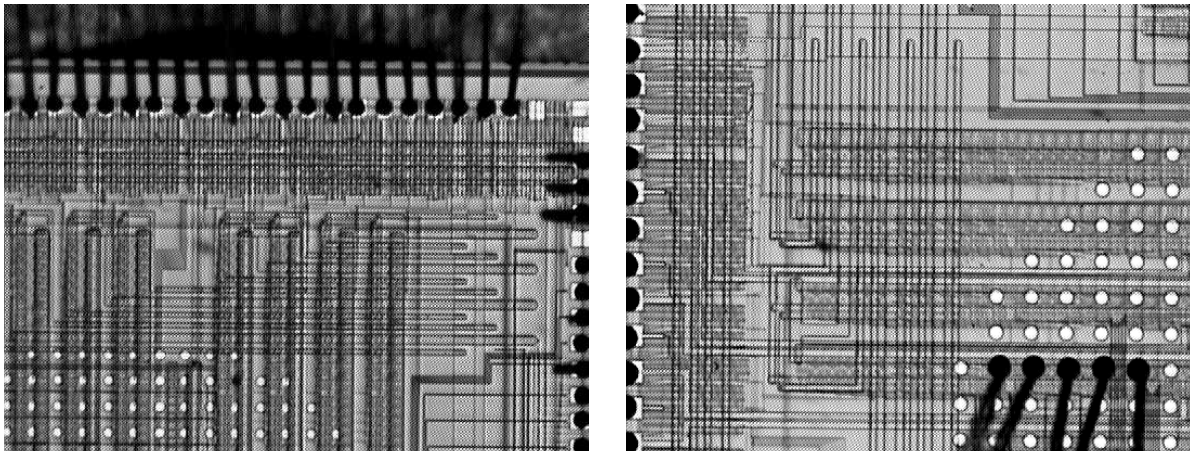

Abbildung 2.19: Mikroskopaufnahmen des TASICs. Auf dem linken Bild erkennt man am oberen Rand die Bonding-Drähte, die den Chip mit der Außenwelt verbinden. Im unteren Bereich und auf der rechten Aufnahme sind die Flip-Chip-Pads als helle Punkte zu sehen. Dort erkennt man auch die nachträglich befestigten Bonding-Drähte für die fünf demultiplexten 160 Mbit/s Ausgangssignale.

Kapitel 3

Erzeugung serieller 800 Mbit/s Signale

3.1 Der HP82000 Chip Tester

Das ASIC Labor ist mit einem HP82000 Chip-Tester der Firma Hewlett Packard ausgestattet. Mit diesem Gerät können digitale Signale für den Test eines Chips erzeugt werden und die Ausgangssignale des Chips wieder zur Analyse zurück in den Tester eingelesen werden. Hiermit eignet sich der HP82000 ausgezeichnet für Tests von digitalen ICs.

Der Chip-Tester des Heidelberger ASIC Labors ist mit fünf 100 MHz Karten und mit einer 400 MHz Karte ausgerüstet. Jede dieser Karten stellt 8 unabhängige Signalkanäle zur Verfügung, wobei die maximale Übertragungsrate der generierten Signale bei 100 Mbit/s bzw. 400 Mbit/s liegt. Damit erhält man eine Gesamtanzahl von vierzig 100 Mbit/s und acht 400 Mbit/s Signalen. Die einzelnen Kanäle können wahlweise als Ein- oder als Ausgangskanäle[1] verwendet werden. Ein bidirektionaler Betrieb eines Kanals als Ein- und Ausgang ist ebenfalls möglich. Für jeden Eingangskanal läßt sich die Bitfolge dieses Signals beliebig programmieren. Insgesamt steht pro Kanal ein Speicherbereich für eine Testvektorlänge von 256 kbit zur Verfügung.

Die Datenrate der Chip-Tester-Signale kann über die zeitliche Dauer t_{vec} eines Bits eingestellt werden. Die zeitliche Bitlänge läßt sich in Schritten von 5 ps bis zu einer minimalen Bitdauer entsprechend der Bandbreite (10 ns für die 100 MHz Karten bzw. 2.5 ns für die 400 MHz-Karte) einstellen. Diese Einstellung erfolgt global, einmal festgelegt, gilt sie für sämtliche Kanäle des Chip-Testers. Für jeden Kanal kann die führende Flanke jedes Bits innerhalb der Periodendauer in 50 ps Schritten verschoben werden.

Um die Ausgangssignale eines Chips untersuchen zu können, muß ein Kanal des Chip-Testers als Ausgangskanal verwendet werden. Hierbei kann innerhalb des Chip-

[1] Der Literatur zum Chip-Tester folgend, wird der Begriff Eingangskanal für Signale, die im Chip-Tester erzeugt werden und in den zu testenden Chip gegeben werden, verwendet. Entsprechend versteht man unter Ausgangskanal einen Kanal, der Ausgangssignale vom Testchip in den Chip-Tester einliest

Testers eine 50Ω-Terminierung gegen eine einstellbare Terminierungsspannung erfolgen. Es können erwartete Bitmuster festgelegt werden und Abweichungen der tatsächlich gemessenen Signale von diesen angezeigt werden. Über die Analyse der Bitfolgen der Chip-Ausgangssignale hinaus, kann der Chip-Tester als oversampling Oszilloskop, das die Signale schrittweise abtastet, eingesetzt werden. Hiermit läßt sich die Form des Signal genau aufzeichnen. An den Eingängen des Chip-Testers befinden sich Komparatoren mit denen in 50 ps Schritten das Signal abgetastet werden kann. Es wird so eine Oversampling-Rate von 20 Gsample/s erreicht. Das Auflösungsvermögen der Spannungsmessung ist durch die Schrittweite der Komparatorschwellen auf 5 mV begrenzt.

In Tabelle 3.1 sind die wichtigsten Spezifikationen [19] der Chip-Tester-Signaltreiber und Komparatoren an den Ein- bzw. Ausgängen aufgelistet.

	100 MHz Karte	400 MHz Karte
Vektor Periode:		
Bereich:	$10ns \leq t_{vec} \leq 100\mu s$	$2.5ns \leq t_{vec} \leq 50\mu s$
	(100 MHz - 10 kHz)	(400 MHz - 20 kHz)
Toleranz	0.1% von t_{vec}	0.1% von t_{vec}
zeitliche Plazierung der		
führende Flanke, Treiber	0 bis 100% vont_{vec}	0 bis 200% von t_{vec}
führende Flanke, Komparator	0 bis 100% vont_{vec}	0 bis 200% von t_{vec}
Auflösung	50 ps für $t_{system} \leq 0.9\mu s$, ansonsten 2% von t_{vec}	
Toleranz		
nach standard Kalibration	$\pm 600ps$	$\pm 500ps$
nach Benutzer Kalibration	$\pm 350ps$	$\pm 200ps$
Treiber		
Anstiegszeit (ECL)	$\leq 1.5ns$ (20% - 80%)	$\leq 1ns$ (20% - 80%)
Anstiegszeit (CMOS)	$\leq 3.5ns$ (10% - 90%)	$\leq 2.5ns$ (10% - 90 %)
minimale Pulsweite (ECL)	2.5 ns	1.4 ns
Pegelbereich (high/low)	-4.0 V bis +6.5 V	/ -3.5 V bis +8.0 V
Auflösung	5 mV	5 mV
Komparatoren		
Schwellenbereich	-4 V bis +7.5 V	-4 V bis +7.5 V
Auflösung	5 mV	5 mV
minimale erkennbare Amplitude	250 mV	250 mV
minimale erkennbare Pulsweite	2 ns	2 ns
Terminierung	50Ω	50Ω

Tabelle 3.1: Spezifikation der Chip-Tester-Kanäle

Die Programmierung der Chip-Tester-Einstellungen wie Pin-Konfiguration, Timing und Spannungspegel der einzelnen Kanäle sowie Testvektoren können benutzerfreundlich über eine graphische Oberfläche durchgeführt werden.

3.2 Die Frequenzverdoppelung

Eine Grundvoraussetzung für die Durchführung der Tests des TASICs und des Prozessor ASICs ist die Bereitstellung digitaler Signale mit einer seriellen Datenrate von 800 Mbit/s. Der HP82000 Chip-Tester erzeugt, wie bereits erwähnt, lediglich Signale mit einer maximalen Bitrate von 400 Mbit/s. Unter Zuhilfenahme einer elementaren Schaltung läßt sich aus jeweils zwei 400 Mbit/s des Chip-Testers ein Signal mit der gewünschten Rate von 800 Mbit/s erzeugen. Die Signale des Chip-Testers lassen sich in 50 ps Schritten zeitlich gegeneinander verschieben. Das Prinzip der Ratenverdoppelung besteht nun darin, daß ein 400 Mbit/s Signal gegenüber einem zweiten Signal der gleichen Datenrate um eine halbe Bitbreite verschoben wird. Bei einer Übertragungsrate von 400 Mbit/s ist dies eine Zeitspanne von 1.25 ns. Werden nun beide Signale zu den Eingängen eines XOR-Gatters geführt, so erkennt man anhand von Bild 3.1 und der Wahrheitstabelle 3.2 der XOR-Verknüpfung leicht, daß sich die Datenrate des XOR-Ausgangssignals gegenüber den Eingangssignalen verdoppelt hat.

Eingänge A	Eingänge B	Ausgang
0	0	0
1	0	1
0	1	1
1	1	0

Tabelle 3.2: Wahrheitstabelle der logischen Exklusiv-Oder-Verknüpfung (XOR)

Mit dieser passiven Frequenzverdoppelungsschaltung lassen sich beliebige Bitmuster erzeugen, wie später noch durch eine Messung demonstriert wird. Abbildung 3.1 illustriert die Funktionsweise der Schaltung anhand eines Clock-Signals. Natürlich gelingt die Verdoppelung der Rate auch bei Signalen mit Bitraten unter 400 Mbit/s. Die zeitliche Verschiebung der beiden Chip-Tester-Signale, die an die Eingänge des XOR-Gatters geführt werden, muß dementsprechend an die halbe Bitlänge der Eingangssignale angepaßt werden.

Wie Tabelle 3.1 zu entnehmen ist, beträgt die Anstiegszeit[2] eines Chip-Tester-ECL-Signals ungefähr 1 ns. Liegt die Signalabfallzeit in der gleichen Größenordnung, so benötigt das Signal allein 2 ns für einen zweifachen Pegelwechsel. Nun beträgt aber selbst bei einem idealen Rechtecksignal von 800 Mbit/s die zeitliche Dauer eines Bits gerade 1.25 ns. Die Signalanstiegszeiten der Chip-Tester-Signale reichen demzufolge nicht für eine Erzeugung von 800 Mbit/s Signalen aus. Bevor die Chip-Tester-Kanäle

[2] Bei ECL Signalen (-1.7 V unterer Pegel, -0.9 V oberer Pegel) wird unter der Anstiegszeit in der Regel die Zeit angesehen, die das Signal braucht um von 20% auf 80 % des Spannungshubs zu gelangen.

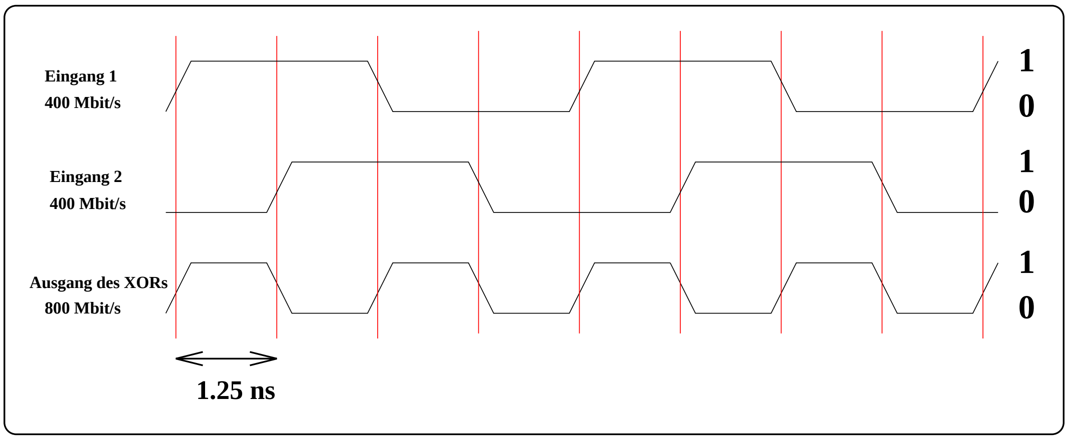

Abbildung 3.1: Die Verdoppelung der Bitrate wird mittels eines XOR-Gatters erreicht.

zu den Eingängen des XOR-Gatters geführt werden, müssen sie daher eine Signalaufbereitung durchlaufen, welches die Signalanstiegszeiten auf akzeptable[3] Werte verkürzt.

3.2.1 ECL - Logik

Zum Aufbau der Schaltung werden Gatter verwendet, die in ECL-Logik[4] aufgebaut sind.

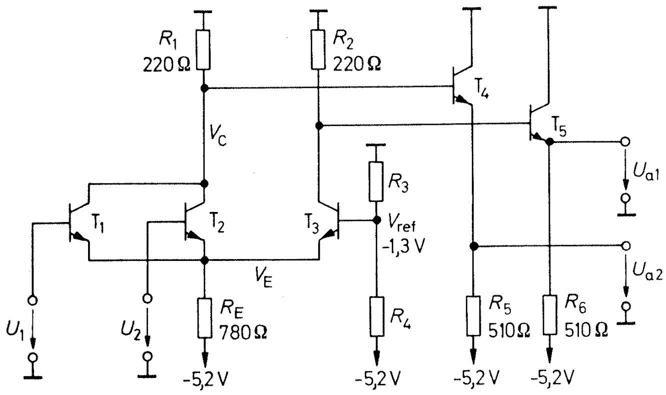

Abbildung 3.2: Schaltplan eines ECL-NOR-ODER-Gatters vom Typ MC10102

[3]Anhand der zeitlichen Breite von 1.25 ns eines Bits bei einer Rate von 800 Mbit/s ist zu erkennen, daß die Anstiegszeiten der XOR-Eingangssignale deutlich unter der Hälfte dieses Wertes, also unter 600 ps liegen sollten

[4]Emitter Coupled Logic

ECL Schaltkreise benötigen neben einem Masseanschluß (überlicherweise mit V_{cc} bezeichnet) eine Versorgungsspannung V_{EE} von -5.2 V. Die logischen Pegel liegen bei -0.9 V für den High-Pegel und -1.7 V für den Low-Zustand. Eine auf dem Chip intern erzeugte konstante Referenzspannung V_{BB} von $\approx -1.3V$ definiert den Umschaltpegel zwischen High- und Low-Zustand.

Abbildung 3.2 [24] zeigt den Aufbau eines typischen ECL-Oder-Gatters. Die Transistoren T_2 und T_3 bilden einen Differenzverstärker. Die Basis von T_3 liegt auf dem Referenzspannungspegel. Solange beide Eingänge U_1 und U_2 auf Low-Pegel liegen, sperren daher T_1 und T_2. Durch T_3 fließt hingegen ein Emitterstrom, der einen Spannungsabfall an R_2 verursacht, wodurch die Basis des Transistors T_4 auf niedrigerem Potential als der Emitter liegt und der Transistor aus diesem Grunde sperrt. Der Ausgang U_{a1} liegt daher auf einem Low-Pegel (bzw. U_{a2} auf High). Liegt dagegen an mindestens einem der Eingänge ein High-Pegel an, so leitet T_1 bzw. T_2, und ein Emitterstrom fließt durch den entsprechenden Transistor, so daß es nun an R_1 zu einem Spannungsabfall kommt und dadurch T_4 sperrt und an Ausgang U_{a2} ein Low-Pegel anliegt. Durch das höhere Potential an einem der Eingänge gegenüber der Referenzspannung sperrt T_3, so daß T_5 in den leitenden Zustand geschaltet wird. Ausgang U_{a1} liegt damit auf High-Pegel. Das Umschalten zwischen den beiden Zuständen wird also durch Emitterströme bewirkt. Die Spannungspegel an den Ausgängen sind in Abbildung 3.3 [24] gegen die Spannung am Eingang aufgezeichnet. Die schraffierten Bereiche kennzeichnen die Toleranzgrenzen, die die Eingangspegel einhalten müssen.

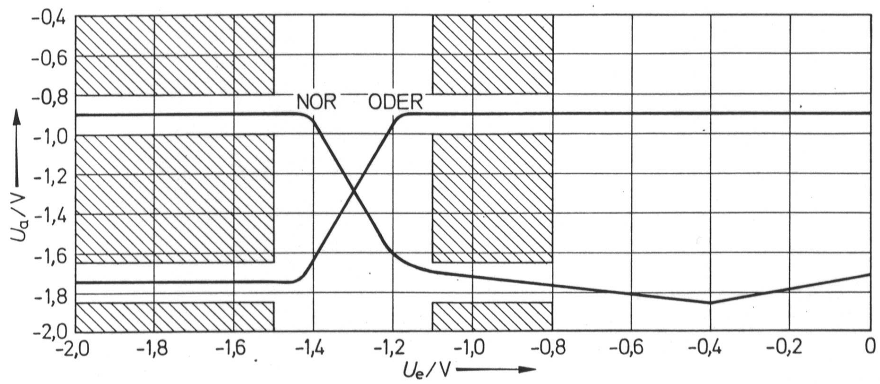

Abbildung 3.3: Übertragungskennlinie eines ECL-Gatters aus der MC10000-Serie

Die Widerstände R_5 und R_6 (pull-down-Widerstände) müssen extern an den Ausgängen - in der Regel werden 510Ω Widerstände benutzt - gegen V_{EE} gelegt werden, damit ein Stromfluß durch die Ausgangsleitungen ermöglicht wird. Die Transistoren kommen, wenn sie auf leitenden Zustand geschaltet sind, nicht in Sättigung, wodurch die Schaltvorgänge beschleunigt und die Gatterlaufzeiten verkürzt werden. Die kleinen Signalamplituden von nur 0.8 V tragen weiter zur Erhöhung der Schaltgeschwindigkeit bei. ECL-Schaltungen besitzen die kleinsten Gatterlaufzeiten aller Logik-Familien. Ein Nachteil von ECL-Gattern sind allerdings die hohen Verlustleistungen. Auch durch den Pull-Down-Widerstand fließt ständig während beider logischer Pegel ein Strom, der zur hohen Verlustleistung beiträgt. Unbenutzte Ausgänge werden daher nicht mit Widerständen versehen. Eine Reduzierung der Verlustleistung in den Pull-Down-Widerständen kann erreicht werden, indem man statt der 510Ω-Widerstände nach -5.2 V Widerständ von 50Ω an eine zusätzliche Versorgungsspannung $V_{TT} = -2.0V$ legt.[5]

Signalanstiegszeiten im Bereich von einigen hundert ps, wie sie für die Generierung vom 800 Mbit/s Signale benötigt werden, lassen sich mit ICs der MC10EL-Serie von Motorola erreichen. Gemäß Spezifikation besitzen diese eine mittlere Anstiegszeite von 225ps [20]. Zur Aufbereitung der Chip-Tester-Signale wird ein Receiver (ME10EL16) verwendet. Das XOR-Gatter der Ratenverdoppelungsschaltung ist ebenfalls durch einen IC (ME10EL07) dieser Serie realisiert.

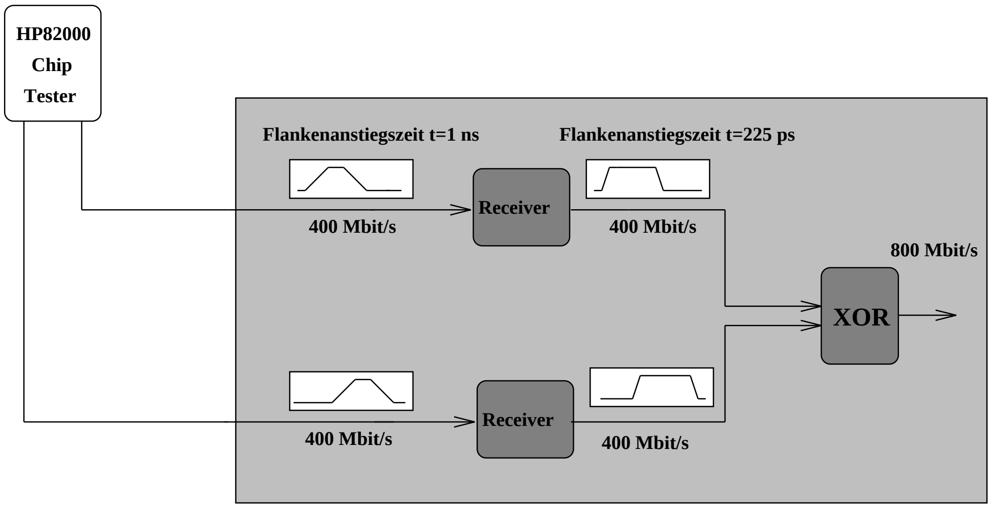

Abbildung 3.4: Blockschaltbild der Schaltung zur Verdoppelung der Datenrate

ECL-Gatter können auch in positiver ECL-Logik (PECL) verwendet werden. Durch eine Verschiebung der Versorgungsspannung um 5.2 V, so daß $V_{CC} = 5.2V$ und $V_{EE} = 0V$ beträgt, werden die logischen Spannungspegel auf 4.3 V (High) bzw. 3.5 V angehoben. Es kann ausschließlich mit positiven Spannungspegeln gearbeitet werden, was die Integration von ECL-Schaltungen mit Schaltungen anderer Logik-Familien, wie beispielsweise TTL oder CMOS, die auch positive Signalpegel besitzen, vereinfacht. Die Spannung V_{TT} muß bei Verwendung positiver ECL-Logik $(V_{CC} - 2.0V) = 3.2V$ betragen.

3.3 Aufbau von HF Schaltungen

Bei der Entwicklung von Schaltungen, die bei Datenraten von 800 Mbit/s arbeiten sollen, sind einige allgemeine Überlegungen zu berücksichtigen, um Effekte zu vermeiden

[5] Durch einen 50Ω-Widerstand nach -2.0V läßt sich auch ein 50Ω-Abschluß einer Leiterbahn erreichen. Siehe hierzu Kapitel 3.3.3.

wie :

- Störung der Signale durch Reflektionen
- Übersprechen zwischen benachbarten Signalleitungen
- Dämpfung der Signalamplituden
- Instabilität der Versorgungsspannung während des Schaltvorgangs der ECL-Gatter

3.3.1 Signalreflektionen

Ändert sich der Wellenwiderstand einer Signalübertragungsstrecke, beispielsweise durch den Widerstand einer angeschlossenen Last, so kommt es an der Übergangsstelle zur Reflektion eines einlaufenden Signals. Die einlaufende Welle wird aufgeteilt in einen reflektierten und einen transmittierten Anteil. Der *Reflektionskoeffizient* ρ, der den Anteil der reflektierten Signalamplitude vom einlaufenden Signal angibt, läßt sich wie folgt berechnen:

Die Spannung und der Strom vor der Übergangsstelle von der Impedanz Z_1 zu Z_2 sind gegeben durch:

$$U_1(x,t) = U_{1e}(x,t) + U_{1r} \tag{3.1}$$

$$I_1(x,t) = \frac{1}{Z_1}U_{1e} - \frac{1}{Z_1}U_{1r} \tag{3.2}$$

Die Spannung setzt sich hierbei aus der Spannung U_{1e} der einlaufenden Welle und der Spannung U_{1r} des reflektierten Signalanteils zusammen. Das Minuszeichen bei der Berechnung des Stromes rührt daher, daß der reflektierte Strom wieder in entgegengesetzte Richtung fließt. Strom und Spannung hinter dem Übergang betragen:

$$U_2(x,t) = U_{2a}(x,t) \tag{3.3}$$

$$I_2(x,t) = \frac{1}{Z_2}U_{2a} \tag{3.4}$$

Als Anschlußbedingung an der Übergangsstelle (x=l) gilt:

$$U_1(l,t) = U_2(l,t) \tag{3.5}$$

$$I_1(l,t) = I_2(l,t) \tag{3.6}$$

Damit läßt sich der reflektierte Anteil der einlaufenden Welle berechnen durch:

$$U_{1r} = \frac{Z_2 - Z_1}{Z_2 + Z_1}U_{1e} = \rho U_{1e} \tag{3.7}$$

Für den Reflektionskoeffizienten gilt also:

$$\rho = \frac{Z_2 - Z_1}{Z_2 + Z_1} \tag{3.8}$$

Man erkennt sofort, daß im Falle von angepaßten Impedanzen ($Z_1 = Z_2$) der Reflektionskoeffizient verschwindet und das Signal ungestört übertragen wird. Es gibt hierbei folgende Trivialfälle:

Kurzschluß	$Z_2 = 0$	$\rho = -1$
offene Leitung	$Z_2 = \infty$	$\rho = 1$
mit Wellenwiderstand terminiert	$Z_2 = Z_1$	$\rho = 0$

Von großer Bedeutung ist der Fall, daß ein Signal zwischen zwei ICs ausgetauscht wird. Weicht der Eingangswiderstand des ICs von der Impedanz der Leiterbahn ab, so tritt eine Reflektion auf. Der reflektierte Signalanteil wird selber an dem Ausgang des ersten Bauteils reflektiert, falls der Ausgangswiderstand nicht mit der Leitungsimpedanz übereinstimmt. Nach zweifacher Signallaufzeit t_{pd}, die das Signal zur Übertragung vom ersten zum zweiten IC benötigt, erreicht das Signal wieder den Eingang des zweiten ICs und führt so zu Störungen der Signalform. Ist die Übertragungszeit t_{pd} kurz im Vergleich zu der Signalanstiegszeit t_r, so liegt die Störung auf der ansteigenden Flanke des Signals und führt damit zu keiner relevanten Beeinflussung des Signals. Bei schnellen Signalen, deren Anstiegszeiten die gleiche Größenordnung der Signalübertragung erreichen, befinden sich die Störungen auf dem logischen Spannungspegel des Signals. Auf den Signalpegeln liegen Spannungsspitzen, die sowohl zu einer Überhöhung als auch zu einer kurzzeitigen Erniedrigung des eigentlichen Pegels führen. Es kann zu Fehlinterpretationen des logischen Zustandes kommen. Damit wird einsichtig, daß, sobald die doppelte[6] Signallaufzeit t_{pd} die Flankenanstiegszeit t_r übersteigt, unbedingt impedanzangepaßte Leiterbahnen verwendet werden müssen: [21]

$$t_{rise} < 2 \times t_{pd} \tag{3.9}$$

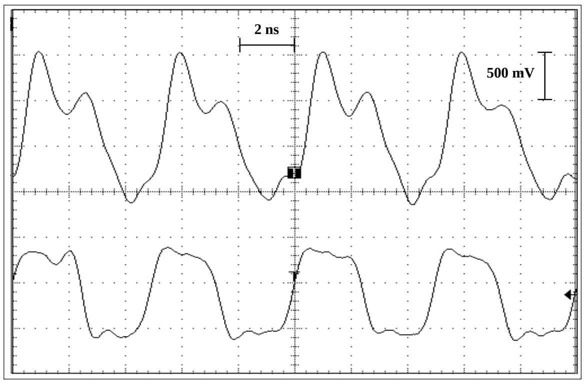

Abbildung 3.5: 400 Mbit/s Signal ohne Abschluß der Leiterbahn (obere Kurve) und mit 50Ω-Terminierung der Mikrostreifenleitung (untere Kurve). In der oberen Kurve erkennt man die Reflektionen, die dem Signal überlagert sind.

[6] Das reflektierte Signal muß die Leiterbahn einmal hin- und wieder zurücklaufen.

3.3.2 Mikrostreifenleiterbahnen

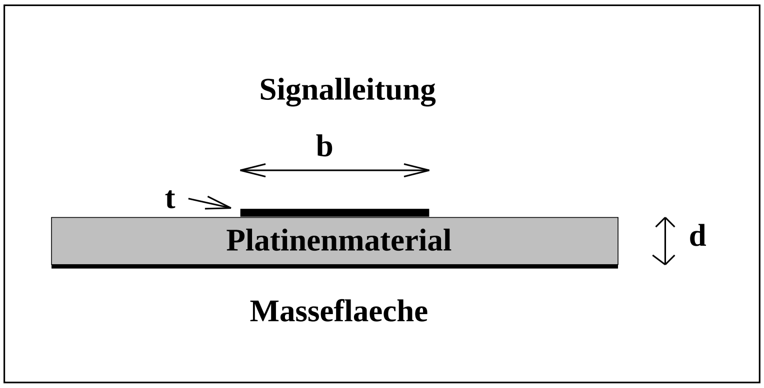

Abbildung 3.6: Querschnitt eines Mikrostreifenleiters

Zur Vermeidung von Reflektionen empfiehlt es sich, Leiterbahnen mit bekannter charakteristischer Impedanz zur Signalübertragung zu verwenden. Eine Möglichkeit hierfür sind Mikrostreifenleiter. Abbildung 3.6 zeigt den Querschnitt durch eine solche Leitung. Eine Mikrostreifenleiterbahn besteht aus einer Bahn aus elektrisch leitendem Material, z.B. Kupfer, das von einer Massefläche durch das isolierende Platinenmaterial getrennt ist. Die Impedanz der Leitung ist abhängig von der Dicke d der Platine, der Dielektrizitätskonstante ϵ_r des Platinenmaterials und von der Breite b der Leiterbahn selber. Die Dicke t der Metallschicht der Leiterbahn kann meist vernachlässigt werden. Die Impedanz Z_0 der Mikrostreifenleiterbahn kann nun durch Gleichung 3.10 abgeschätzt werden [21].

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1,41}} ln \left(\frac{5,98d}{0,8b + t} \right) \tag{3.10}$$

Die Impedanz der Mikrostreifenleitungen, die für die Frequenzverdoppelungsschaltungen verwendet werden, sind auf 50Ω festgelegt. Als Boardmaterial wird eine Standardplatine aus Epoxydharz, welches eine Dielektrizitätskonstante von ungefähr $\epsilon_r = 5$ besitzt, eine Dicke von d=1.5 mm und eine Kupferbeschichtung von $t = 17\mu m$ aufweist, verwendet. Löst man Gleichung 3.10 nach b auf, ergibt sich in diesem Fall für $Z_0 = 50\Omega$ eine Breite von b=2.54mm.

Die Signalübertragungszeit v_{pd}^{-1} pro Längeneinheit in einer Mikrostreifenleitung läßt sich näherungsweise berechnen durch:

$$v_{pd}^{-1} = 0.034\sqrt{0.475\epsilon_r + 0.67}\ ns/cm \tag{3.11}$$

Mit einer Dielektrizitätskonstante von $\epsilon_r = 5$ für das Epoxydharz-Platinenmatrial erhält man eine Signallaufzeit von:

$$v_{pd}^{-1} = 0.059\ ns/cm \tag{3.12}$$

Wie im vorangegangenen Abschnitt erwähnt, besitzen die Signale der Ratenverdoppelungsschaltung mittlere Flankenanstiegszeit von 225 ps. Bei diesen Zeiten erreicht bereits für Längen von einigen cm die Signallaufzeitverzögerung der Mikrostreifenleitung die gleiche Größenordnung wie die Signalanstiegszeit oder übersteigt diese sogar. Ein Vergleich mit Abschätzung 3.9 zeigt, daß beim Aufbau einer Schaltung, die mit Signalen arbeitet, die im angestrebten Ratenbereich liegen, die Terminierung der Leiterbahnen erforderlich ist.
In den Gleichungen 3.10, 3.11 und 3.12 wurden einige Vereinfachungen angenommen. Für genauere Berechnungen muß die Dielektrizitätskonstante ϵ_r durch eine effektive Dielektrizitätskonstante ϵ_{eff} ersetzt werden. In dieser Konstante ϵ_{eff} ist berücksichtigt, daß ein Teil des elektrischen Feldes zwischen Leiterbahn und Massefläche durch die Luft[7] verläuft, wodurch der Wert von ϵ_{eff} etwas unter dem von ϵ_r liegt. Eine weitere Vereinfachung besteht darin, die Dielektrizitätskonstante als frequenzunabhängig anzunehmen. Tatsächlich aber zeigt sich, daß für höhere Frequenzen, nämlich dann, wenn die Wellenlänge des Signals in gleiche Größenordnung wie die geometrischen Ausdehnungen der Mikrostreifenleiter kommt, eine Dispersionsrelation vorhanden ist. Die Dielekrizitätskonstante wird frequenzabhängig und stört damit den Impedanz angepaßten Aufbau von HF-Schaltungen. Beide Effekte sind aber bei den Anwendungen im Rahmen dieser Diplomarbeit vernachlässigbar.

3.3.3 Terminierung der Leiterbahnen

Eine Terminierung der Mikrostreifenleitungen wird bei den Anstiegszeiten der in der Ratenverdoppelungsschaltung benutzten Signale unverzichtbar. Da ausschließlich Mikrostreifenleiter mit einer Impedanz von 50Ω verwendet wurden, wird im folgenden nur noch vom 50Ω-*Abschluß* der Leiterbahnen die Rede sein. Alle Überlegungen gelten jedoch auch für andere Impedanzwerte. Die im folgenden beschriebenen Techniken zur Terminierung der Leiterbahnen sind speziell auf die Motorolla ICs aus der MC10EL-Serie abgestimmt. Die entscheidenden Faktoren, die in den Überlegungen Beachtung finden, sind neben der Signalanstiegszeit, der hohe Eingangswiderstand und die geringe Ausgangsimpedanz von 7Ω dieser ICs.

Die einfachste Möglichkeit des Leiterbahnabschlusses ist die sogenannte *serielle Terminierung.* Ein 50Ω-Widerstand wird in Reihe hinter den Signal treibenden IC vor die Mikrostreifenleitung geschaltet. Die Signalpegel werden hierdurch zwar halbiert, jedoch werden diese am Eingang des Signal empfangenden ICs wieder verdoppelt, da es aufgrund des sehr hohen Eingangswiderstandes des ICs zu einer nahezu vollständigen Reflektion des Signals kommt (vgl. hierzu Tabelle 3.3.1). Das reflektierte Signal wird durch den 50Ω Widerstand am Ausgang des ersten ICs nicht erneut reflektiert, wodurch das Signal am Eingang des empfangenden ICs ungestört bleibt.

Für die Entwicklung der Frequenzverdoppelungsschaltungen und auch für spätere Arbeiten im Rahmen dieser Diplomarbeit wurde jedoch Gebrauch von einer anderen Abschlußtechnik gemacht [22]. Diese ist in Abbildung 3.7 dargestellt.

[7] $\epsilon_r^{Luft} \approx 1$

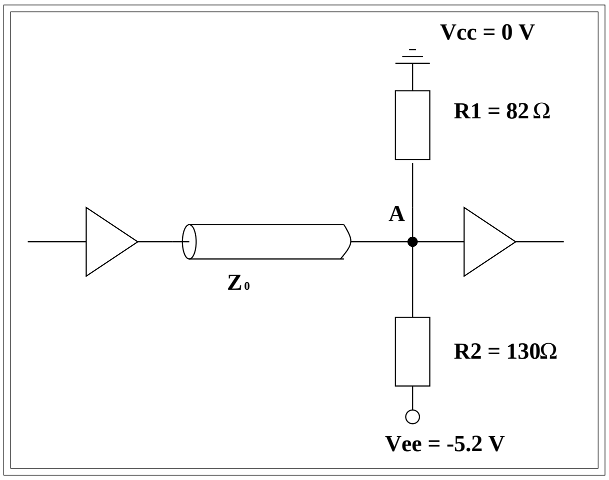

Abbildung 3.7: Parallele Terminierung mit einer Versorgungsspannug

Der 50Ω-Abschlußwiderstand wird hierbei parallel zur Signalquelle an den Eingang des Signal empfangenden ICs gelegt. Die ICs der MC10EL Serie sind so ausgelegt, daß im günstigsten Fall der 50Ω Widerstand gegen die Terminierungsspannung von $V_{TT} = -2V$ geschaltet wird. Durch die Verwendung eines Abschlußwiderstandes gegen -2V wird eine weitere Versorgungsspannung nötig. Dies kann umgangen werden, indem man, wie in Abbildung 3.7 zu erkennen ist, einen Spannungsteiler mit zwei Widerständen benutzt, von denen der eine gegen -5.2 V und der andere gegen Masse gelegt ist. Wählt man die Werte dieser Widerstände so, daß zum einen der effektive Widerstandswert der Parallelschaltung beider Einzelwiderstände 50Ω entspricht, und zum anderen der Spannungsabfall am Punkt A (siehe Figur 3.7) zwischen den Widerständen -2V gegen Masse beträgt, so hat man die Bedingungen der parallelen Terminierung erfüllt. Es wird lediglich die -5.2V Spannung benötigt. In Formeln ausgedrückt, lauten die Bedingungen für die Widerstandswerte:

$$\frac{1}{R_1} + \frac{1}{R_2} = \frac{1}{Z_0} \tag{3.13}$$

$$\frac{R_1}{R_1 + R_2} = \frac{V_{TT}}{V_{EE}} \tag{3.14}$$

Löst man dieses Gleichungssystem auf, so ergibt sich:

$$R_2 = Z_0 \frac{V_{EE}}{V_{TT}} \tag{3.15}$$

$$R_1 = \frac{1}{\frac{V_{EE}}{V_{TT}} - 1} R_2 \tag{3.16}$$

Mit den verwendeten Werten von $Z_0 = 50\Omega$, $V_{EE} = -5.2V$ und $V_{TT} = -2.0V$ benötigt man daher Widerstände der Werte $R_2 = 130\Omega$ und $R_1 = 82\Omega$.
Ein Vorteil dieser Art des Leiterbahnabschlusses ist es, daß auf der gesamten Länge

der Mikrostreifenleitung das Signal in ungestörter Form mit voller Amplitude vorliegt. Dies ermöglicht, das Signal an beliebigen Stellen zu Meßzwecken oder auch zur Verteilung auf mehrere ICs auszukoppeln. Außerdem entfällt der bei ECL Bausteinen stets notwendige *pull-down Widerstand* gegen die negative Versorgungsspannung. Diese Aufgabe übernimmt bei Gebrauch eines parallelen Abschlusses der 130Ω-Widerstand gegen -5.2V. Ein Nachteil gegenüber der oben kurz beschriebenen seriellen Terminierung ist der erhöhte Leistungsverbrauch aufgrund des Stromflusses durch die beiden Widerstände. Solche Überlegungen spielen allerdings bei der nicht allzu umfangreichen Ratenverdoppelungsschaltung mit wenigen Verbrauchern eine untergeordnete Rolle.

Ein weiterer Punkt, der während der Entwicklung von HF Platinen Lay-outs beachtet werden muß, ist die Vermeidung spitzer Winkel in der Führung der Mikrostreifenleitungen. Eine scharfe Ecke in der Leiterbahn würde die Breite dieser Bahn an dieser Stelle erhöhen und damit zu einer lokalen Änderung der Impedanz führen. Die Leiterbahnen werden deshalb maximal um 45°-Winkel geführt.

Die Terminierung der Leiterbahn gegen eine Spannung von -2.0 V erfordert einen kleinen Ausgangswiderstand des Signaltreibers. Die Chip-Tester-Kanäle besitzen hingegen einen Ausgangswiderstand von 50Ω, der in Reihenschaltung mit der Leiterbahnimpedanz gegen die -2V Terminierungsspannung liegt. Hierdurch kommt es an den Eingängen der Receiver zu einer Reduzierung des im Chip-Tester-Set-Up eingestellten Signalhubs. Ebenso müssen die absoluten Spannungspegel der Chip-Tester-Signale gegenüber den Standard-ECL-Pegeln zu höheren Werten hin korrigiert werden, da die Spannungen am Leiterbahnabschluß durch die negative Terminierungsspannung zu dieser hin verschoben werden. Ein Signalhub eines Chip-Tester-Signals von 1.2 V um eine mittlere Spannung von ca. -0.6 V erzeugt am terminierten Eingang eines Receivers ungefähr die Standard-ECL-Pegel. Eine Optimierung der Pegeleinstellung der Chip-Tester-Eingangssignale wird in Kapitel 3.6.3 beschrieben.

3.3.4 Übersprechen

Um das Übersprechen eines Signals von einer Leiterbahn auf eine benachbarte Leitung möglichst gering zu halten, befinden sich Masseflächen zwischen nebeneinanderliegenden Leiterbahnen. Mit Hilfe von Durchkontaktierungen zur Massefläche wird ein guter Kontakt zur Masse hergestellt. Als Faustregel gilt hier, daß der Abstand zwischen Leiterbahn und der zwischenliegenden Massefläche ungefähr der Breite der Leiterbahn selber entsprechen soll, und auch die Breite der Massefläche sollte mindestens so groß wie die der Mikrostreifenleitung sein.

3.3.5 Signaldämpfung

Die Dämpfung der Signalamplitude bei der Leitung der Signale über Mikrostreifenleiter ist zwar größer als beispielsweise die Dämpfung in Koaxialkabeln. Sie ist aber bei den Längen der Leiterbahnen, wie sie in den hier aufgebauten Schaltungen auftreten, vernachlässigbar.

3.3.6 Stabilisierung der Versorgungsspannung

Die extrem kurzen Schaltzeiten der ECL-Gatter können Probleme mit der Spannungsversorgung bereiten. Es muß schnell eine ausreichende Menge Strom für das Signal zur Verfügung gestellt werden. Ist die Versorgungsspannung aufgrund dieses Effekts überlastet, so sinkt die Spannung gegenüber der Masse ab. Dies kann schließlich zu einer Rückkopplungen zwischen Versorgungsspannung und Signal führen. Um dem entgegenzuwirken, können Kapazitäten an den Versorgungsspannungsanschlüssen verwendet werden. Die Funktion dieser Kondensatoren besteht darin, möglichst schnell Ladungen für den Schaltvorgang zur Verfügung zu stellen. Zur Abblockung an den V_{EE} Eingängen der Motorola IC wird sich daher einer Staffelung von vier parallelgeschalteten Kondensatoren bedient (siehe Bild 3.8). Die Werte dieser Kapazitäten wurden gewählt zu 100pF, 1nF, 47 nF und $6.8\mu F$. Da der Kondensator mit der kleinsten Kapazität am schnellsten Ladungen liefern kann, ist dieser am nächsten zum Spannungsversorgungsanschluß des ICs angebracht. Die Reihenfolge der weiteren Kondensatoren ist den Kapazitäten nach angepaßt.

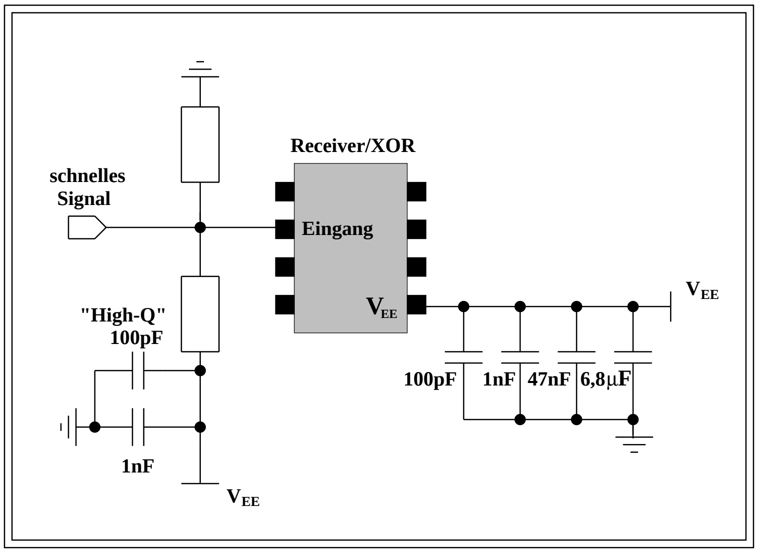

Abbildung 3.8: Abblockung der Spannungsversorgung durch Koppelkapazitäten

Ebenso muß an dem Widerstand des 50Ω-Abschlusses, der mit der Spannungsversorgung V_{EE} verbunden ist, diese gegen die Masse durch Kondensatoren entkoppelt werden. Hierzu werden Kapazitäten von 100pF und 1nF an jedem der 130Ω Widerstände verwendet, wobei für den 100pF Kondensator ein sogenannter *High-Q* chip Kondensator verwendet wird, der wegen seiner geringen Induktivität besonders gute HF Eigenschaften besitzt.

3.4 Schaltplan der Ratenverdoppelungsschaltung

Der Schaltplan der kompletten Ratenverdoppelungsschaltung (vgl. Abbildung 3.4), der sich unter Beachtung der in den vorangegangenen Abschnitten aufgeführten Regeln ergibt, ist in Figure 3.9 dargestellt. Die beiden vom Chip-Tester kommenden digitalen Signale werden jeweils zur Verringerung der Signalanstiegzeit zu einem Receiver (MC10EL16) geführt. An den Eingängen befinden sich parallele 50Ω-Abschlüsse. Da keine differentiellen Signale verwendet werden, muß der invertierte Eingang des Receivers, der mit einem differentiellen Eingang ausgestattet ist, an die V_{BB} Spannung angeschlossen werden. Sie kann an einem Pin des Motorola ICs abgegriffen werden. Auf diese Weise wird der logische Zustand in bezug auf diese Referenzspannung definiert. Auch hier wird die Spannung wieder durch einen Kondensator mit einer Kapazität von 47nF abgeblockt.

Die Receiver-Ausgangssignale werden auf die beiden Eingänge eines XOR-Gatters (ME10EL07) gegeben. Auch diese Leitungen sind durch parallele Terminierung abgeschlossen. Da diese Verbindungen zwischen Receiver-Ausgang und XOR auf der Platine sehr kurz (2-3 cm) ausgeführt sind, ist hier ein 50Ω-Abschluß nicht unbedingt erforderlich. Da aber die gewählte Art der Terminierung der Leiterbahn die Aufgabe des *pull-down* Widerstandes am ECL-Gatter-Ausgang mit übernimmt und dieser, wenn kein Abschluß vorhanden wäre, hinzugefügt werden müßte, ist durch den 50Ω Abschluß kein erheblicher Mehraufwand an Bauteilen oder Platzbedarf nötig.

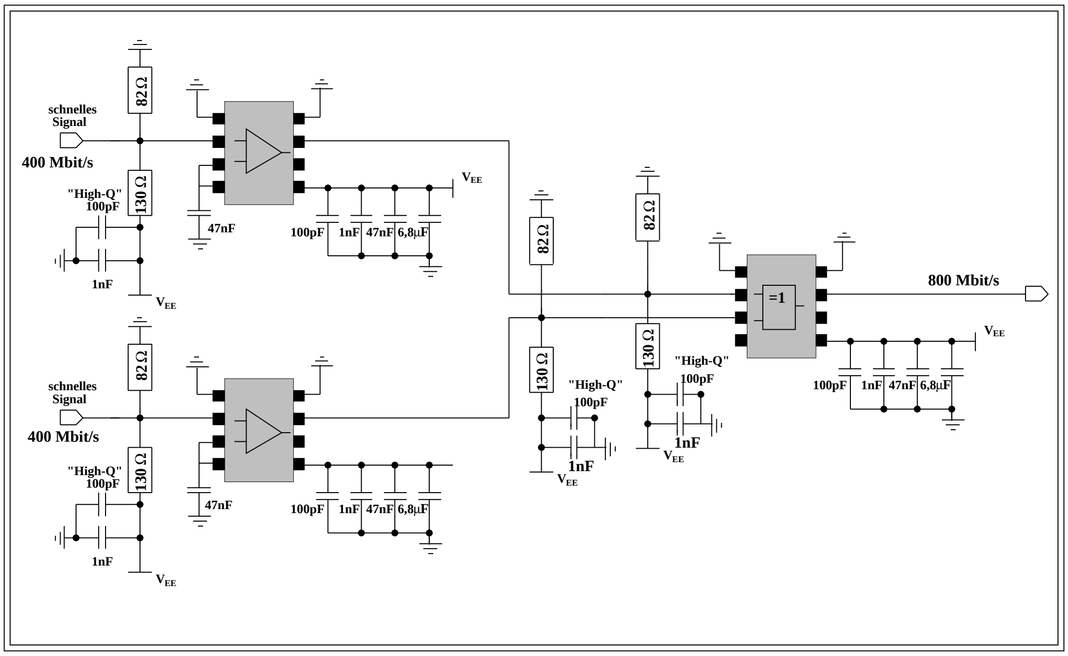

Abbildung 3.9: Passive Multiplexerschaltung zur Verdoppelung der Datenrate

3.5 Die erste Testplatine

Zur Erprobung der Verdoppelung der Datenrate wurde zunächst ein Testboard entwickelt. Abbildung 3.10 zeigt eine Photo dieses Testboards. Man erkennt die unterschiedlichen Schaltungen und Teststrukturen, die auf dieser Platine aufgebracht sind:

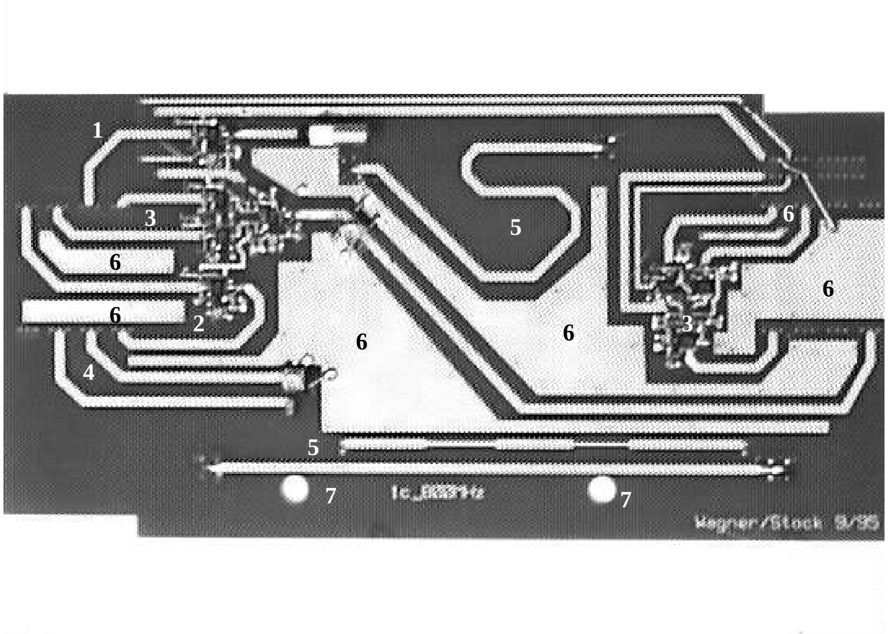

Abbildung 3.10: Photographie des Testbaords

1. Ein Chip-Tester-Signal wird zu einem Receiver geführt und anschließend auf eine Lemo oder SMA-Buchse.

2. Ein Chip-Tester-Signal wird zu einem Receiver geführt und wieder zur Signalanalyse zurück in den Chip-Tester geleitet.

3. Zwei komplette Multiplexerschaltungen zur Verdoppelung der Datenrate zweier Chip-Tester-Kanäle. Die Ausgangssignale beider Schaltungseinheiten werden zurück auf Eingänge des Chip-Testers gegeben. Hierbei wird ein ratenverdoppeltes Signal über eine Mikrostreifenleitung, die über die gesamte Länge der Platine verläuft, übertragen.

4. Zwei Mikrostreifenleitungen verbinden eine SMA/Lemo-Buchse bzw. eine zweipolige Flachbandsteckerbuchse mit Chip-Tester-Eingangskanälen.

5. Drei Mikrostreifenleitungen zu Testzwecken: ein gerades Mikrostreifenleiterstück (ca. 17 cm), eine Mikrostreifenleitung der gleichen Länge, die um zahlreiche (10) 45° Kurven geführt wird und schließlich eine Mikrostreifenleitung, deren Breite und damit auch deren Impedanz variiert wird.

6. Masseflächen zur Reduzierung des Übersprechens und der Einstreuung von Signalen aus der Umwelt (z.b. Radiosender)

7. Durchbohrungen zur genauen Positionierung der Platine auf dem Chip-Tester

Die Unterseite der Platine dient als Massefläche, wobei darauf geachtet wurde, daß die Massefläche möglichst nicht durch Leitungen oder Bauteile, die aus Platzgründen auf die Unterseite gelegt wurden, in getrennte Bereiche separiert wurde. Die Kontakte, mit denen das Board mit den Pogo-Pins des Chip-Testers, die zur Ein- und Auskopplung der Chip-Tester-Signale dienen, kontaktiert wird, befinden sich ebenfalls auf der Unterseite. Hierdurch wird auch eine gute Masseverbindung der Platine mit der Masse des Chip-Testers gewährleistet. Eine vollständige Vergoldung sämtlicher Kupferflächen und damit auch der Kontaktflächen für die Pogo-Pins, garantiert sehr gute Kontaktqualitäten, da die Pogo-Pins des Chip-Testers ebenfalls vergoldet sind. Es treten dort keine Kontaktspannungen auf, wie es bei Verwendung unterschiedlicher Metalle der Fall wäre. Die Teststrukturen auf der Platine dienten zur Sammlung von Erfahrungen im Umgang mit der Übertragung hochfrequenter Signale über Mikrostreifenleitungen, die für die Entwicklung der Folgeplatinen von Nutzen war. Ebenso ermöglichten sie mit den Mikrostreifenleitungen, die von einer Buchse direkt zum Chip-Tester zurückgeführt werden, den Test von Kabeln. Dies war für die Entwicklung des späteren Testaufbaus mit zwei getrennten Platinen, bei dem hochfrequente Signale zwischen den Platinen ausgetauscht werden müssen, von großer Bedeutung.

3.6 Messungen

Für den Aufbau einer Umgebung für den TASIC-Test waren folgende Fragestellungen in bezug auf das erste Testboard von großer Wichtigkeit:

1. Funktioniert das Prinzip der passiven Multiplexerschaltung zur Verdoppelung der Datenrate?

2. Sind die Flankenanstiegszeiten der Signale der Motorola ICs wirklich schnell genug, um Datenraten von 800 Mbit/s zu erzeugen?

3. Wie gut arbeitet die Frequenzverdoppelung bei der hohen Datenrate von 800 Mbit/s? Kommt es zu Störungen der Signalform durch Reflektionen oder Einstreuungen von außen?

4. Wie sieht die Zeitstabilität der erzeugten Signale aus? Ist sie ausreichend zum Test des TASIC-Clock-Generators?

5. Wie stabil ist das Signal gegenüber Parametern wie Amplitude und Spannungspegel der Eingangssignale an den Receivern sowie am XOR-Gatter?

6. Wie genau können Signale mit so hoher Datenrate mit dem Chip-Tester oder einem Oszilloskop analysiert werden?

7. Wie sieht die Übertragungsqualität von Mikrostreifenleitungen (Teststrukturen) und Kabeln aus?

3.6.1 Messungen der Signale

Zuächst wurden Signale mit alternierender Bitfolge (10101 ...) erzeugt. Abbildung 3.11 zeigt die Messung der drei in den Chip-Tester zurückgeführten Signalkanäle. Zur Messung der Signale wurde von der Oszilloskopfunktion des Chip-Testers Gebrauch gemacht. Die Datenrate der Signale, die in Abbildung 3.11 gezeigt werden, beträgt die Hälfte der maximal zu erreichenden und angestrebten Datenrate, also 400 Mbit/s für das XOR-Ausgangssignal und 200 Mbit/s für die Receiver-Signale.

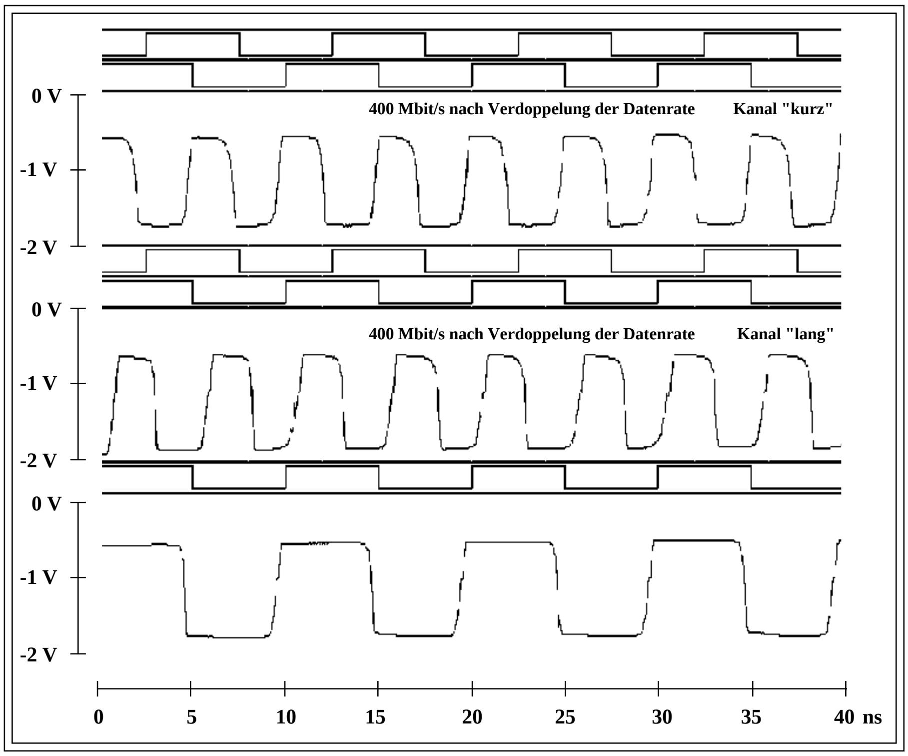

Abbildung 3.11: Messung von Testboardsignalen mit dem Chip-Tester

Die untere Meßkurve zeigt das Ausgangssignal des Receivers. Die beiden darüber befindlichen Kurven sind Messungen der beiden XOR-Gatter-Ausgangssignale. Im Vergleich zu der unteren Meßkurve ist deutlich die Verdoppelung der Bitrate auf 400 Mbit/s zu erkennen. Die beiden Kurven zeigen keine ins Auge stechende qualitativen Unterschiede in der Signalgüte. Die Leitung des 400 Mbit/s Signals über die gesamte Platinenlänge hat demnach keinen negativen Einfluß auf das Signal. Ein geringer Laufzeitunterschied infolge der verschiedenen Weglängen, die die beiden Signale zurücklegen, ist jedoch sichtbar. Die flachen, rechteckigen Kurven über den Meßkurven zeigen die logischen Pegel der Chip-Tester-Signale, die zu den Receivern gesendet werden, zu dem betreffenden Zeitpunkt.

Eine Aufnahme der Signale bei der Datenrate von 800 Mbit/s mit der Oszilloskopfunktion des Chip-Testers ist allerdings nicht möglich. In Abbildung 3.12 sind untereinander Messungen der ratenverdoppelten Signale mit Raten von 400 Mbit/s, 600 Mbit/s und 800 Mbit/s dargestellt. Es zeigt sich, daß die gemessene Signalqualität mit zunehmender Datenrate stark abnimmt. Der Grund für dieses Verhalten liegt in den Komparatoren der Chip-Tester-Eingangsstufen, die zwar schnelle Signalanstiegszeiten in der hier vorliegenden Zeit verarbeiten können, wie ein Vergleich mit der Messung eines 400 Mbit/s Signals zeigt; ein Problem stellt jedoch die Länge des Pulses dar, die mindestens 2 ns betragen muß, um vom Chip-Tester richtig analysiert werden zu können (vgl. Tabelle 3.1). Damit ist eine Untersuchung von Signalen mit einer Datenrate von über 500 Mbit/s nicht möglich. Diese Einschränkung der Chip-Tester-Eingangsstufe stellt jedoch für die späteren Tests sowohl des TASICs als auch des endgültigen kompletten Level-1-Trigger ASICs keine Behinderung dar, da die Ausgangssignale dieser Chips eine maximale Datenrate von 160 Mbit/s (TASIC) bzw. 320 Mbit/s (Prozessor-ASIC) besitzen.

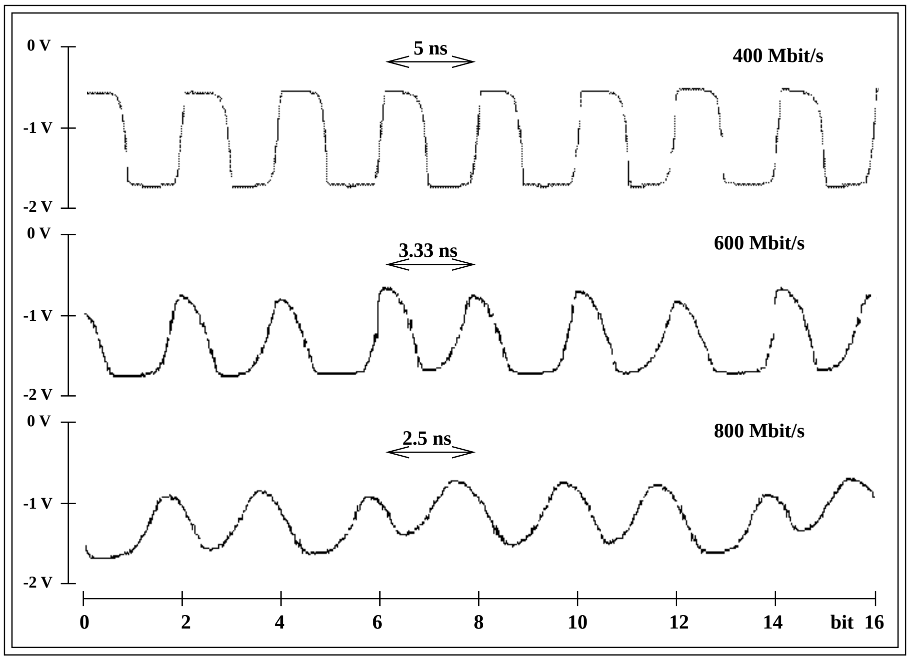

Abbildung 3.12: Messung eines 400 Mbit/s Signals (obere Kurve), eines 600 Mbit/s Signals und eines 800 Mbit/s Signals mit dem Chip-Tester. Man beachte, daß die x-Achse nicht in der Zeit skaliert ist.

Die Messung der auf dem Testboard generierten Signale bei einer maximalen Datenrate von 800 Mbit/s wurde mit einem Oszilloskop (Tektronix Tek784A + P6542 Active Probe [23]) wiederholt, welches eine analoge Eingangbandbreite von 1 GHz besitzt.

Die Messung, die in der unteren Meßkurve von Abbildung 3.13 zu sehen ist, demonstriert, daß die Verdoppelung der Datenrate auch bei einer Bitrate von 800 Mbit/s des XOR-Ausgangssignals mit der entwickelten Schaltung funktioniert. Die obere Meßkurve zeigt das im Chip-Tester generierte 400 Mbit/s Signal. Aufgrund der relativ langsamen Signalanstiegszeit von ungefähr 1 ns ist das Rechtecksignal zu einem abgerundeten Dreiecksignal entartet. Die mittlere Kurve in Bild 3.13 zeigt nun das 400 Mbit/s Signal nach dem Durchlauf durch einen Receiver. Die Flankenanstiegs- und Abstiegszeiten haben sich gegenüber dem ursprünglichen Chip-Tester-Signal deutlich verkürzt.

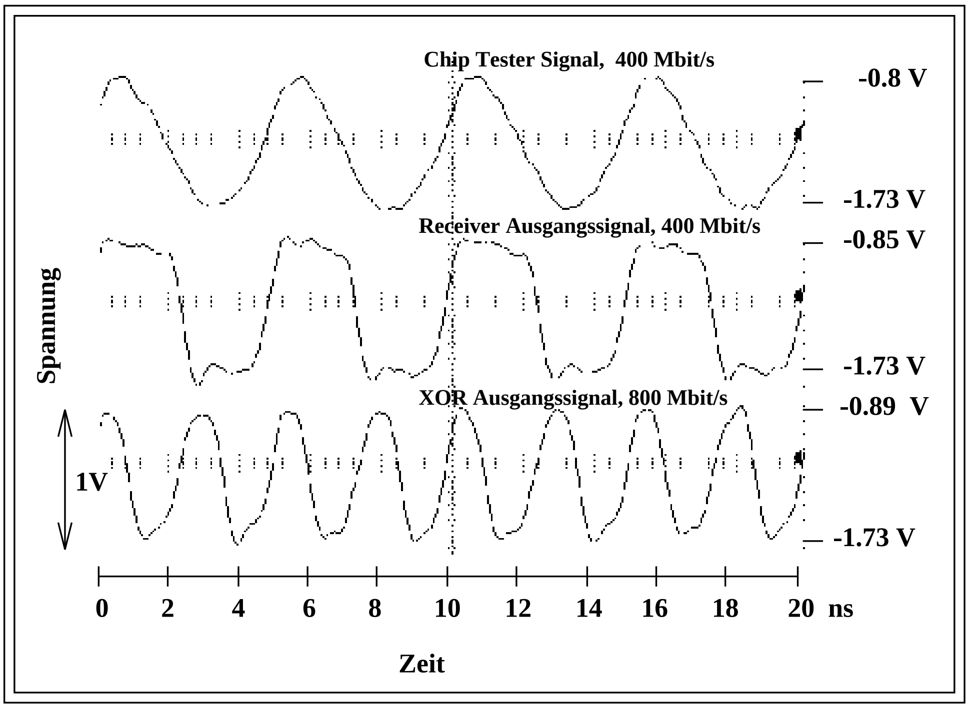

Abbildung 3.13: Die obere Kurve zeigt das im Chip-Tester generierte 400 Mbit/s Signal. Die mittlere Kurve zeigt dieses Signal nachdem es den Receiver passiert hat.Man erkennt die schnellere Anstiegszeit. Die untere Kurve ist eine Messung des XOR-Ausgangssignals mit einer Datenrate von 800 Mbit/s. Die Messungen wurden mit einem Tektronix Oszilloskop aufgenommen.

Die bisher gezeigten Tests beruhen alle auf dem einfachen Testbitmuster einer alternierenden Folge aus '1' und '0'. Daß man mit der Ratenverdoppelungsschaltung aber auch beliebige Bitmuster mit 800 Mbit/s erzeugen kann, zeigt Abbildung 3.14. Jeweils drei Bit sind zu einem Datenwort zusammengefaßt, das von 0 bis 7 hochgezählt wird. Die Bitmuster der beiden Chip-Tester-Kanäle, die zu einem Signal mit doppelter Datenrate multiplext werden, müssen geeignet programmiert sein, so daß nach durchgeführter Ratenverdoppelung auch wirklich das gewünschte Bitmuster erzeugt wird. Für diese Aufgabe steht ein C-Programm zur Verfügung, welches die gewünschten Testvektoren des gemultiplexten Signals in die entsprechenden Bitfolgen der beiden zugehörigen Chip-Tester-Eingangskanäle konvertiert.

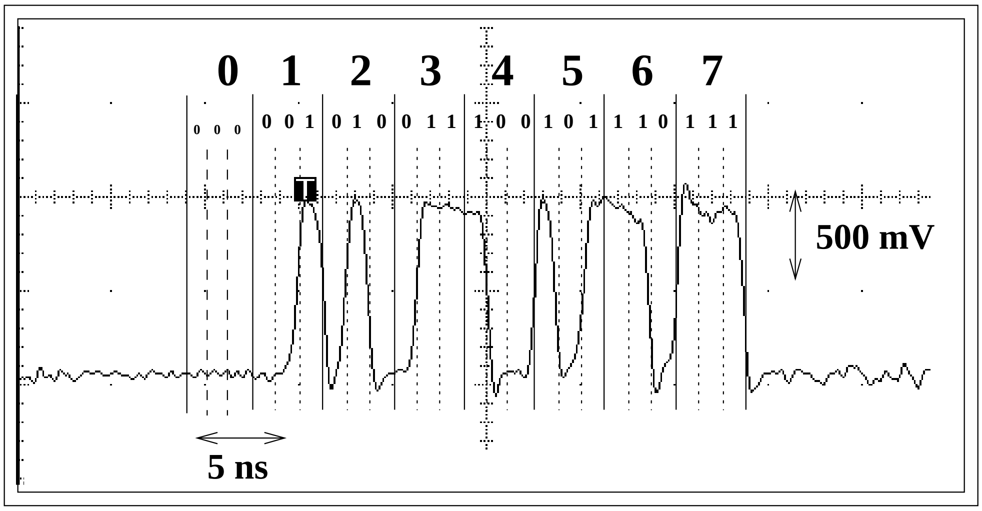

Abbildung 3.14: Eine drei Bit breite Dualzahl wird von 0 bis 7 gezählt. Die Datenrate beträgt 800 Mbit/s.

3.6.2 Messung der Signalanstiegszeit

Bereits anhand der Oszilloskopaufnahmen ist qualitativ erkennbar, daß die Flankenanstiegzeiten der Ausgangssignale der Motorola ICs ausreichend für die Erzeugung von 800 Mbit/s Datenströmen sind. Zu einer genaueren Bestimmung der Signalanstiegszeit wurden mit einem Tek784 Oszilloskop jeweils 400 Werte der Anstiegszeit aufgenommen. Die vom Oszilloskop gemessene Anstiegszeit ist durch die begrenzte analoge Bandbreite der Eingangsstufe des Oszilloskops und die Kapazität des Tastkopfes, mit dem das Signal von der Platine ausgekoppelt wird, beeinflußt. Der Eingangsverstärker des Oszilloskops stellt für hohe Frequenzen einen Tiefpaß, der zu endlichen Signalanstiegszeit t_{osz} führt, dar. Da das Eingangssignal selber eine endliche Flankenanstiegzeit t_{signal} besitzt, überlagern sich beide Effekte. Die Signalanstiegszeiten können näherungsweise quadratisch addiert werden, um das Quadrat der vom Oszilloskop gemessenen Signalanstiegszeit t_{mess} zu erhalten [24]. Für die wahre Signalanstiegszeit gilt daher:

$$t_{signal} = \sqrt{t_{mess}^2 - t_{osz}^2} \tag{3.17}$$

Die Zeit t_{osz} läßt sich aus der analogen Eingangsbandbreite f_g des Oszilloskops mit Gleichung 3.18 ermitteln:

$$t_{osz} = \frac{1}{2\pi f_g} \ln\left(\frac{80\%}{20\%}\right) \tag{3.18}$$

Die Herstellerangabe der Grenzfrequenz [8] f_g des Tek784A Oszilloskops in Kombination mit einem P6542 Tastkopf beträgt 1 GHz.

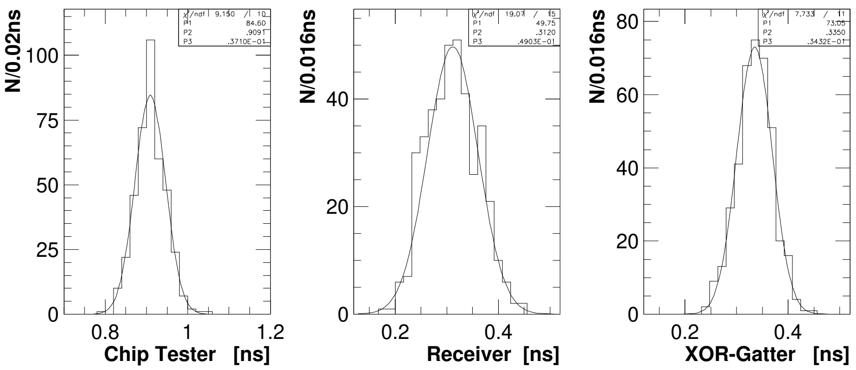

Abbildung 3.15: Messung der korrigierten Signalanstiegszeiten. Jeweils 400 aufgenommene Werte sind in Histogramme aufgetragen. Links Messung des Chip-Tester-Signals, in der Mitte des Receiver- (ME10El16) und rechts des XOR- (ME10EL07) Ausgangssignals

In den Histogrammen in Abbildung 3.15 sind die auf diese Weise korrigierten Werte eingetragen. Links ist die Anstiegszeit des Chip-Tester-Signals zu sehen, in der Mitte die Anstiegszeit des Receiver-Ausgangssignals und rechts des XOR-Ausgangssignals. Man beachte den unterschiedlichen Zeitbereich bei der Messung des Chip-Tester-Signals. Die Anstiegszeiten betragen demnach im Mittel:

Chip-Tester	900	ps
Receiver	310	ps
XOR	330	ps

3.6.3 Zeitstabilität

Eine wichtige Anforderung an die Signalqualität des ratenverdoppelten Signals, besteht darin, daß die zeitlichen Schwankungen, denen Signalperiode und 'Bitlängen' unterworfen sind, ein gewisses Maß nicht überschreiten. Die kleinste auf dem TASIC verwendete Zeitskala wird durch die programmierbaren Verzögerungsblöcke an den Eingangsstufen der 800 Mbit/s Datenkanäle, die in 250 ps Schritten gesetzt werden können, definiert. Bleibt die zeitliche Ungenauigkeit der auf dem Testboard erzeugten Signale unterhalb

[8] Unter der Grenzfrequenz oder Bandbreite versteht man die Frequenz, welche den Eingangsverstärker, der hier als Tiefpass angesehen wird, mit deiner Dämpfung von -3db passiert.

dieser Grenze, so sollte ein für den Test des TASICs ausreichendes Zeitverhalten des Signals vorliegen.
Die zeitliche Struktur des ratenverdoppelten XOR-Ausgangssignals wird maßgeblich durch Asymmetrien der beiden Eingangssignale verursacht. Störende Faktoren hierbei sind:

- Das Tastverhältnis eines oder beider XOR-Eingangssignale ist ungleich 1:1.
- Die zeitliche Verschiebung zwischen beiden XOR-Eingangssignalen weicht von der halben Taktlänge der Eingangssignale ab.

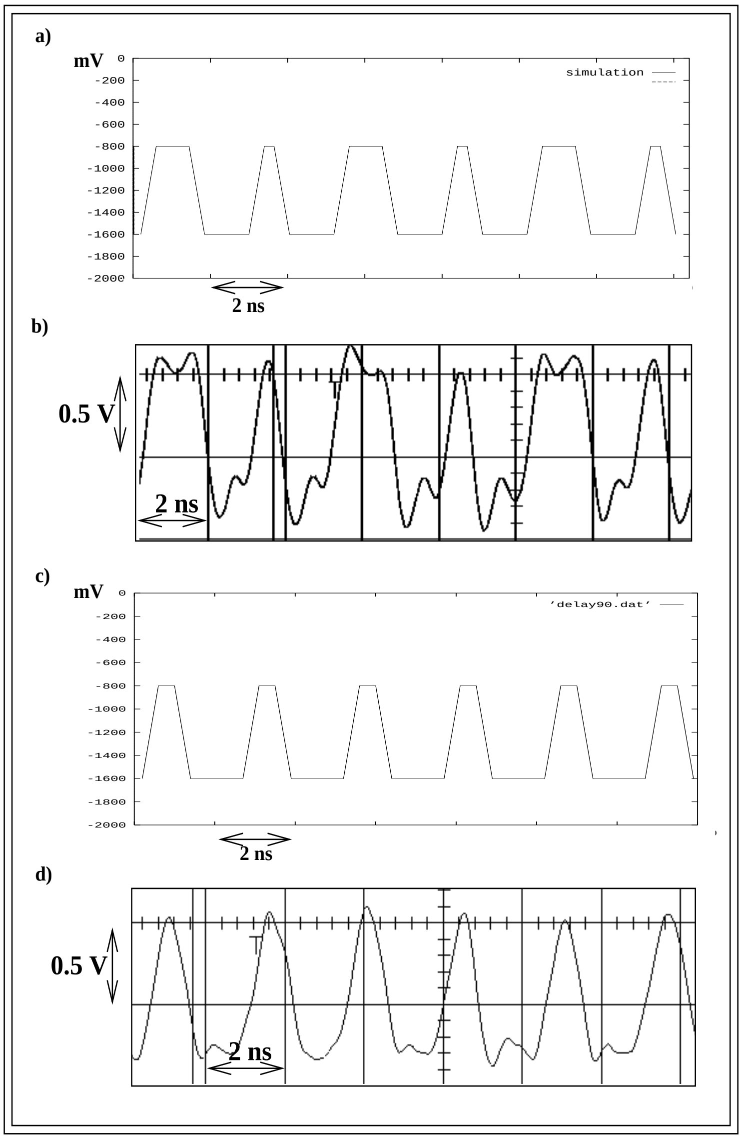

Abbildung 3.16: Simulation und Messung des XOR-Ausgangssignals mit schlechtem Zeitverhalten

Um die verschiedenen Einflüsse auf die Zeitstruktur des XOR-Ausgangssignal zu verstehen, wurde eine einfache Simulation programmiert. In dieser Simulation können Spannungspegel, Signalanstiegszeiten sowie positive und negative Signallänge der beiden XOR-Eingangssignale unabhängig vorgegeben werden. Das XOR-Ausgangssignal wird anhand dieser Information berechnet. Die Signalformen werden hierbei näherungsweise als trapezförmig betrachtet. In Abbildung 3.16 sind Messungen und Simulationen von Signalen mit unzureichendem Zeitverhalten gezeigt. Kurve a) stellt hierbei die Simulation eines XOR-Ausgangssignals dar, bei dem beide Eingänge ein unsymmetrisches Tastverhältnis haben. Bei der alternierenden Folge von '1' und '0' Pegeln der Eingangssignale ist die zeitliche Dauer des '1' Zustandes länger angesetzt worden als die des '0' Zustandes. Dies bewirkt eine zeitliche Verzerrung des Signals. Kurve b) zeigt eine Messung, bei der eine entsprechnende Konfiguration vorlag. In Kurve c) ist eine Simulation für den Fall zu sehen, daß die zeitliche Verschiebung zwischen beiden XOR-Eingangssignalen nicht der halben Bitlänge entspricht. Dies führt zu einer Änderung des Tastverhältnisses des XOR-Ausgangssignals, wie auch anhand der in Kurve d) gezeigten Messung deutlich wird. Bei einer im Chip-Tester-Set-Up eingestellten zeitlichen Verzögerung von einer halben Bitlänge tritt dieser Effekt in der Regel nicht auf.

Mehr Probleme bereitet hingegen die Behandlung der in den beiden oberen Kurven gezeigten Signalasymmetrien. Sie werden durch XOR-Eingangssignale, deren Tastverhältnis von 1:1 abweicht, hervorgerufen. Das Tastverhältnis dieser Signale ist von den Spannungspegeln der Chip-Tester-Eingangssignale abhängig. Verschiebt man die Spannungspegel eines Chip-Tester-Signals, so ändert sich aufgrund der relativ langsamen Signalanstiegszeit des Chip-Tester-Signals der Schaltzeitpunkt des Receivers, der als Bezugspunkt weiterhin eine Spannung von -1.3 V verwendet. Dieser Zusammenhang ist sehr sensitiv. Bereits eine Verschiebung beider logischer Spannungspegel eines Chip-Tester-Signals um 20-30 mV verursacht deutliche Veränderungen in der Zeitstruktur des XOR-Ausgangssignals. Um ein möglichst symmetrisches ratenverdoppeltes Signal zu erhalten, müssen die Chip-Tester-Spannungspegel so gewählt werden, daß die Receiver-Ausgangssignale ein Tastverhältnis von 1:1 besitzen. Hierzu wurden die Spannungspegel variiert und die positive Signallänge, die bei einem 400 Mbit/s Signal 2.5 ns betragen sollte, gemessen. Das Ergebnis dieser Messung ist in Bild 3.17 dargestellt. Auf der Abszisse ist der mittlere Spannungspegel zwischen *High-* und *Low-*Pegel aufgetragen. Der Signalhub wurde konstant bei 1.2 V belassen. Man erkennt, daß bei einem mittleren Pegel im Bereich zwischen -0.6 bis -0.5 V, das Tastverhältnis des Receiver-Ausgangssignals einen Wert von ungefähr 1:1 annimmt.

Als Maß für die Zeitstabilität des XOR-Ausgangssignals kann die Schwankung der Periodendauer[9] des Signals verwendet werden. Mit einem Oszilloskop wurden 400 Werte der Periodendauer aufgenommen und die Verteilung dieser Werte in ein Histogramm eingetragen. Diese Messung wurde für verschiedene Spannungspegel der Chip-Tester-Eingangssignale wiederholt. Abbildung 3.18 zeigt den Zusammenhang zwischen der Standardabweichungen der Periodendauerverteilung und der Spannungsmitte zwi-

[9] Als Periodendauer wird hier die Zeit zwischen den Mittelpunkten zweier ansteigender Signalflanken bezeichnet.

schen den Pegeln. Die Schwankung der Signalperiode nimmt für einen Spannungswert von ca. -0.54 V ein Minimum an. Dies steht in guter Übereinstimmung mit der in Abbildung 3.17 gezeigten Messung, die zeigt, daß in diesem Fall die Tastenverhältnisse der beiden XOR-Eingangssignale bei 1:1 liegen.

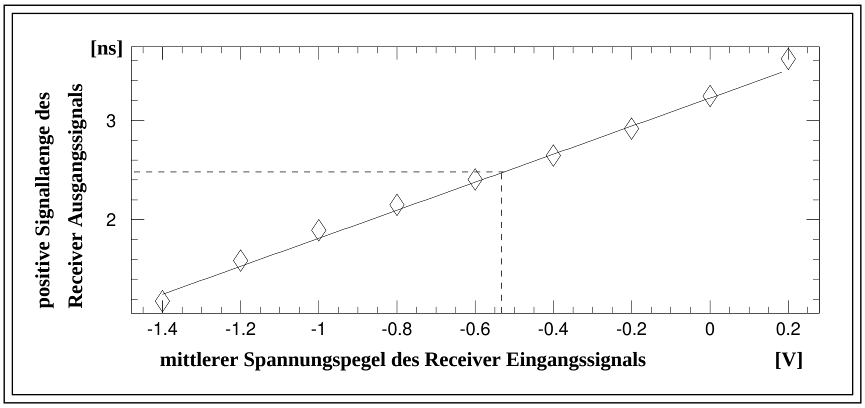

Abbildung 3.17: Abhängigkeit der positiven Signallänge des Receiver-Ausgangssignals von den Spannungspegeln der Chip-Tester-Signale

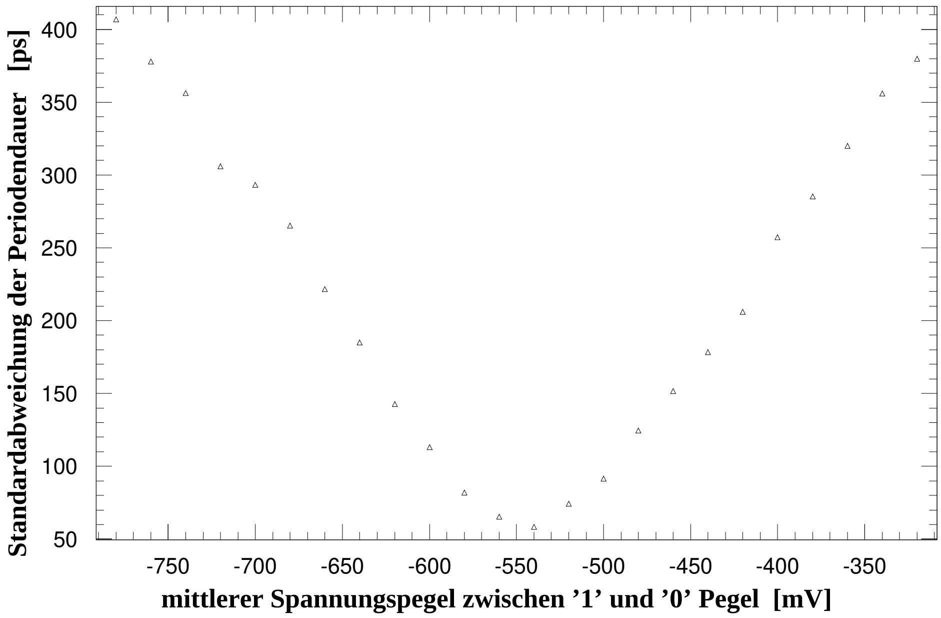

Abbildung 3.18: Standardabweichung der Periodendauer des XOR-Ausgangssignals als Funktion des mittleren Spannungspegel der Chip-Tester-Signale

Eine weitere Optimierung kann anschließend noch erzielt werden, indem die Signalpegel des einen Signals auf diesem Wert gehalten werden, während die Pegel des anderen Kanals nochmals in einem engen Spannungsbereich um diese Spannung variiert werden. Das rechte Histogramm in Abbildung 3.19 zeigt die Periodendauerverteilung eines XOR-Ausgangssignals, für das die Chip-Tester-Pegel optimiert worden sind. Der mittlere Pegel des einen Chip-Tester-Kanals ist hierbei um 5 mV auf -0.59 V gesenkt worden, während der andere Kanal einen mittleren Pegel von -0.54 V besitzt. Zum Vergleich ist im linken Histogramm die Verteilung der Periodendauer eines Chip-Tester-Signals dargestellt. Die Standardabweichung des 800 Mbit/s Signals beträgt 45 ps. Insgesamt liegen die Werte der Periodendauer in einem 200 ps breitem Zeitintervall. Damit ist die zeitliche Stabilität des Signals in einem zur Durchführung des TASIC-Tests akzeptierbaren Bereich.

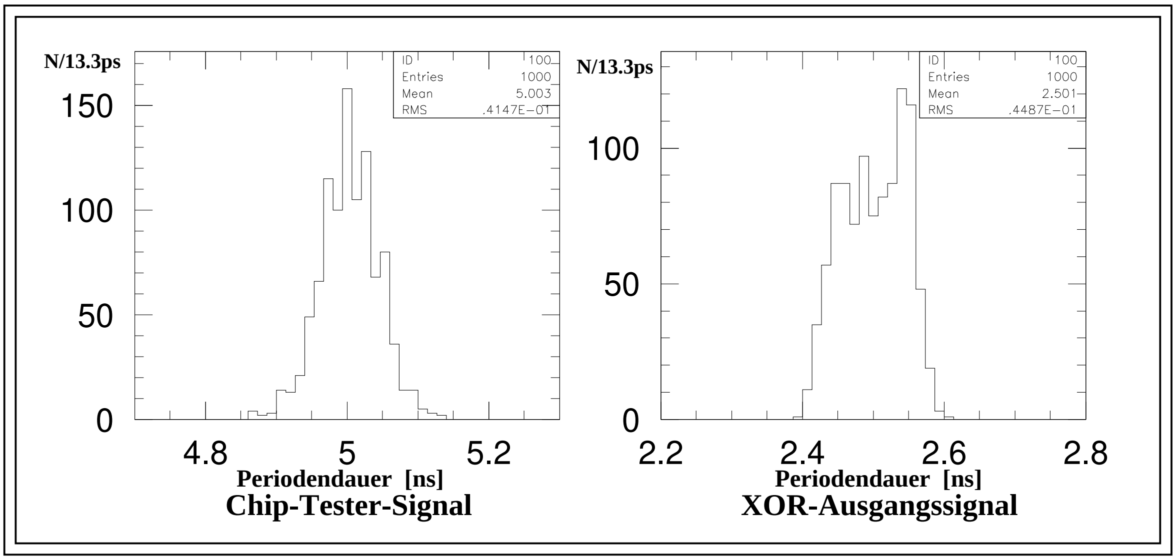

Abbildung 3.19: Verteilung der Periodendauer eines Chip-Tester-Signals mit einer Datenrate von 400 Mbit/s (links) und eines 800 Mbit/s XOR-Ausgangssignals (rechts).

Mit dieser Anpassung der Signalpegel der Chip-Tester-Signale können auch Signalstörungen infolge von Abweichungen der Receiver-Ausgangssignalpegel von den Standard-ECL-Pegeln ausgeglichen werden. Die günstigsten Spannungseinstellungen der Chip-Tester-Signale weichen in diesem Fall von den oben genannten Werten ab.

3.6.4 Kabeltests

Da der endgültige Aufbau für den TASIC Test auf zwei Platinen aufgeteilt ist, erlangt die Frage, auf welche Weise Signale bei den hier benutzten Datenraten zwischen den Platinen ausgetauscht werden können, eine zentrale Bedeutung. Aus diesem Grund wurden verschiedene Kabeltypen zur Übertragung der auf dem Testboard generierten Signale getestet. Sinn dieses Kabeltest war es nicht, sämtliche Übertragungsparameter und Eigenschaften der Kabel genau zu bestimmen. Vielmehr sollte durch einen qualitativen Test untersucht werden, ob betreffende Kabel für die hier benötigten Aufgaben verwenden werden können.

Tests wurden an einem RG316-Koaxialkabel mit SMA-Steckern und Buchsen sowie an gebräuchlichen Lemokabelsystemen (RG-58-Kabel mit Lemo-Stecker und Buchsen) durchgeführt. Bei dem RG316-Koaxialkabel handelt es sich um ein Kabel, welches eine Teflon Isolation zwischen Seele und Masseabschirmung besitzt. Abbildung 3.20 zeigt Oszilloskopaufnahmen eines 800 Mbit/s Signals - es handelt sich um die gleiche Bitfolge wie in Abbildung 3.14 - vor (obere Meßkurve) und nach (untere Meßkurve) Durchlauf eines SMA-Kabels. Die Kabellänge betrug mit ungefähr 90 cm eine Länge, die im Bereich der später für den Testaufbau relevanten Kabellängen liegt. Man erkennt in Bild 3.20 keine Beeinflussung der Signalqualität durch die Übertragung durch das Kabel. Signalreflektionen infolge des Kabels müßten sich bereits auf die Signalqualität vor dem Kabel auswirken, aber auch im Vergleich mit der in Abbildung 3.14 gezeigten Messung zeigt sich kein qualitativer Unterschied des Signals. Hingegen ist eine Laufzeitverzögerung von ungefähr 5 ns feststellbar. Allgemein läßt sich die Signalverzögerung infolge eines Kabels näherungsweise ausdrücken durch die Gleichung:

$$t_{pd} = 3.337\sqrt{\epsilon_r} \tag{3.19}$$

Mit einer Dielektrizitätskonstante von $\epsilon_r \approx 2.3$ für Teflon und Polyethylen isolierte Kabel erhält man so eine Verzögerungszeit von $t_{pd} = 5.06\ ns/m$, was den gemessenen Wert von 4.7 ns auf 90 cm gut wiedergibt.

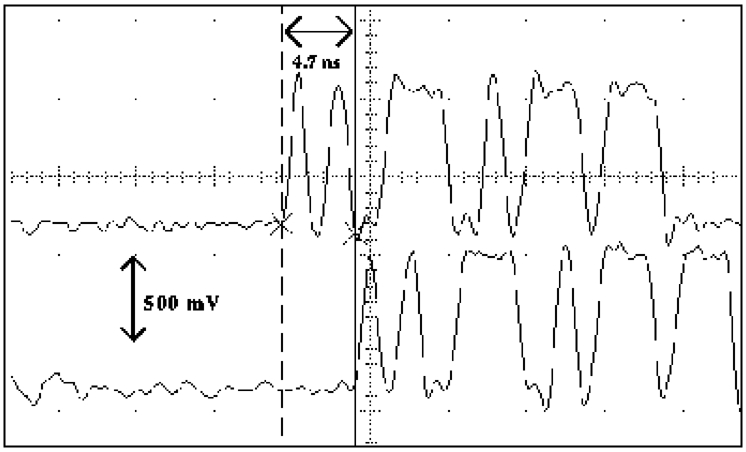

Abbildung 3.20: Test eines SMA-Koaxialkabels (RG-316 mit SMA-Steckern und Buchsen). Die obere Meßkurve stellt das 800 Mbit/s Signal unmittelbar vor dem Kabel dar, die untere Kurve das Signal hinter dem Kabel.

Ein weiterer Test unter Benutzung von 800 Mbit/s Signalen wurde mit einem Lemo-Kabel durchgeführt. Zusätzlich befanden sich an den Enden des Lemo-Kabels jeweils ein SMA/BNC und BNC/Lemo-Adapter, um das Lemo-Kabel an die auf dem Testboard befindlichen SMA Buchsen befestigen zu können. Aber auch hier zeigte sich kein sichtbarer negativer Effekt auf die Signalqualität durch das Kabel oder die Adapter. Die Länge des Lemo-Kabels betrug 2 m.

3.6.5 Test der Mikrostreifenleiter-Teststrecken

Um Erfahrungen mit der Signalübertragnung über Mikrostreifenleiter zu gewinnen, wurden 800 Mbit/s Signale über die Teststrukturen geleitet. Sowohl bei der geraden ca. 17.5 cm langen 50Ω-Leiterbahn sowie bei der kurvenreichen[10] 50Ω-Mikrostreifenleitung zeigten sich keine erkennbaren negativen Auswirkungen auf die Signalqualität. Die Laufzeitverzögerung durch die 17.5 cm lange Leiterbahn wurde zu ungefähr 1.1 ns gemessen. Dies steht in guter Übereinstimmung mit Gleichung 3.12. Auch die Übertragung des Signals über die Mikrostreifenleitung mit variierender Breite führte zu keiner deutlichen Verschlechterung der Signalform. Es zeigte sich jedoch eine Dämpfung der Signalamplituden von $15\% - 25\%$.

[10] Diese Leiterbahn wird um zehn $45°$ Winkel geführt.

Kapitel 4

Testaufbau und Test des TASIC

4.1 Testaufbau

Mit dem HP82000 Chip-Tester und der getesteten Ratenverdoppelungsschaltung sind die Grundvoraussetzungen zur Durchführung eines Tests des TASICs gegeben. Aufgabe einer Testumgebung ist es nun, die nötige Anzahl an 800 Mbit/s Signalen zur Verfügung zu stellen und diese vom Chip-Tester dem TASIC zuzuführen. Ebenso müssen Kontrolleitungen und die langsameren Ausgangssignale des TASICs zwischen Chip-Tester und TASIC ausgetauscht werden können.

Die Realisierung dieses Testaufbaus ist auf zwei Platinen aufgeteilt (siehe Abbildung 4.1). Auf der ersten Platine - im folgenden kurz als HP82k-Board bezeichnet - finden insgesamt vier Ratenverdoppelungsschaltkreise Platz, womit alle acht 400 Mbit/s Kanäle des Chip-Testers ausgenutzt werden. Zur Übertragung der Kontroll- und Registerauslesesignale müssen Steckerbuchsen auf dem HP82k-Board befestigt sein, die mit den Pogo-Pins des Chip-Testers kontaktiert werden. Diese Platine wird unmittelbar auf den Chip-Tester positioniert. Von dort werden die Signale über Koaxialkabel zu einem Adapterboard geführt, auf dem der TASIC plaziert ist. Das Adapterboard muß außerdem Platz für Support-Schaltungen für den TASIC bieten. Diese sind in erster Linie die Rückkopplungsschleifen der PLL und DLL sowie Video-Buffer zur Auslese der 160 Mbit/s Ausgangssignale. Der entscheidende Vorteil dieser Aufspaltung des Testaufbaus auf zwei Platinen ist in seiner Flexibilität begründet. Das HP82k-Board stellt ein sehr allgemeines Hilfsmittel für den Test von Chips dar. So kann es auch für den späteren Test des Level-1-Prozessor-ASICs verwendet werden. Die Entwicklung dieser Platine war weitgehend unabhängig von konkreten Aspekten des TASIC-Layouts. Es konnte daher mit ihrer Entwicklung unabhängig von speziellen Informationen über den TASIC frühzeitig begonnen werden. Das Adapterboard ist hingegen spezifisch an die Geometrie und die Erfordernisse des TASICs angepaßt. Bei einer kurzfristige Änderung in der Ausführung des TASICs oder in der Wahl des Gehäuses, die bei einem Forschungsprojekt wie der Entwicklung der Trigger-ASICs stets auftreten können, muß nur das Adapterboard an die neuen Bedingungen angepaßt werden. Ein weiterer für den TASIC Test unverzichtbarer Vorteil aufgrund der separaten Ausführung des Adapterboards liegt in der örtlichen Ungebundenheit. Eine bequeme Zugangsmöglichkeit auf beide Seiten der Platine, z.B. mit Tastköpfen eines Oszilloskopes, ist hierdurch ermöglicht.

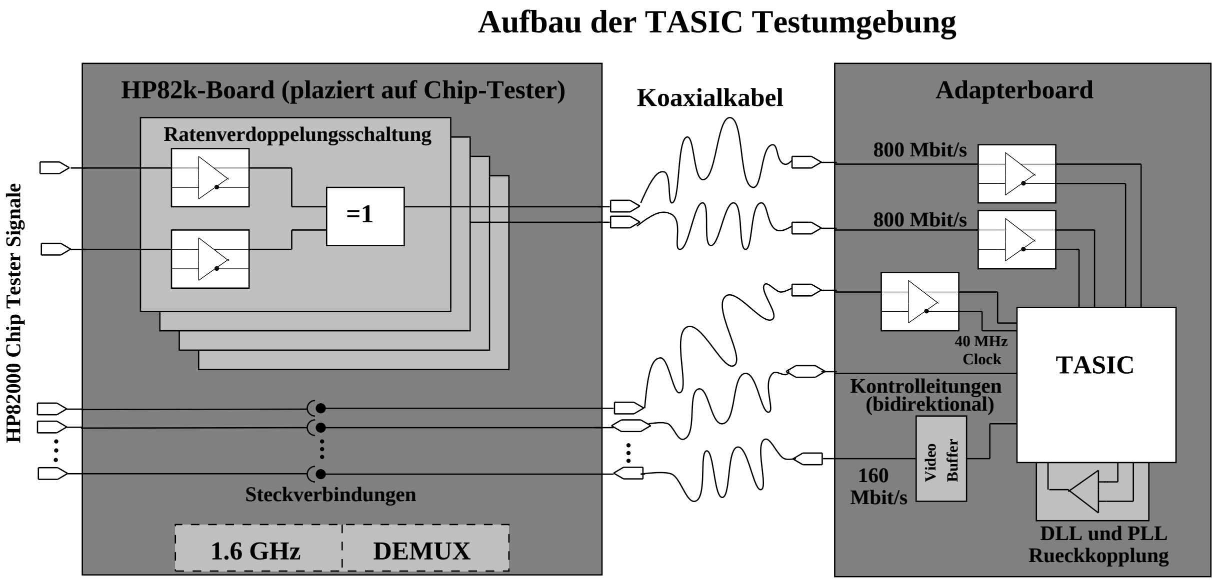

Abbildung 4.1: Schematische Darstellung der Testumgebung zur Durchführung des TASIC-Tests

4.1.1 HP82k-Board

Bild 4.2 zeigt eine Photographie des HP82k-Boards. Auf diesem befinden sich vier Ratenverdoppelungsschaltungen (1) vom gleichen Typ wie die auf dem ersten Testboard getesteten Schaltungen. Zwei weitere Schaltungseinheiten sind auf der Platine plaziert, die in keinem direkten Zusammenhang mit dem Tasic-Test stehen und daher erst im Anhang besprochen werden. Es handelt sich hierbei um einen Demultiplexer (3), der ein 800 Mbit/s Datensignal auf zwei 400 Mbit/s Kanäle aufspaltet, die anschließend vom Chip-Tester analysiert werden können[1], und eine Schaltung (2) zur Generierung eines 1.6 Gbit/s Signals. Die hellen Flächen auf der Photographie sind vergoldete Kupferflächen, bei den dunklen Bereichen handelt es sich um das freigeätzte Platinenmaterial. Man erkennt die 50Ω-Mikrostreifenleiter (4), die die Pogo-Pins des Chip-Testers mit SMA-Buchsen verbinden. Die auf der Photographie mit der Zahl (5) gekennzeichneten Bereiche zeigen die Leiterbahnen für langsame Kontroll- und Datensignale. Sie besitzen keine berechnete Impedanz und sind daher nur zur Übertragung von Signalen mit einer Datenraten von bis zu 40 Mbit/s geeignet [25]. Desweiteren sind auf der Photographie die Spannungszufuhr (6) der -5.2 V Versorgungsspannung und die Durchbohrungen (7), die zur Positionierung der Platine auf dem Chiptester dienen, zu sehen.

[1]Signale mit einer seriellen Datenrate von 800 Mbit/s können nicht direkt vom Chip-Tester aufgenommen werden (siehe vorangegangenes Kapitel). Die Verarbeitung der 400 Mbit/s Signale mit dem Chip-Tester ist hingegen möglich.

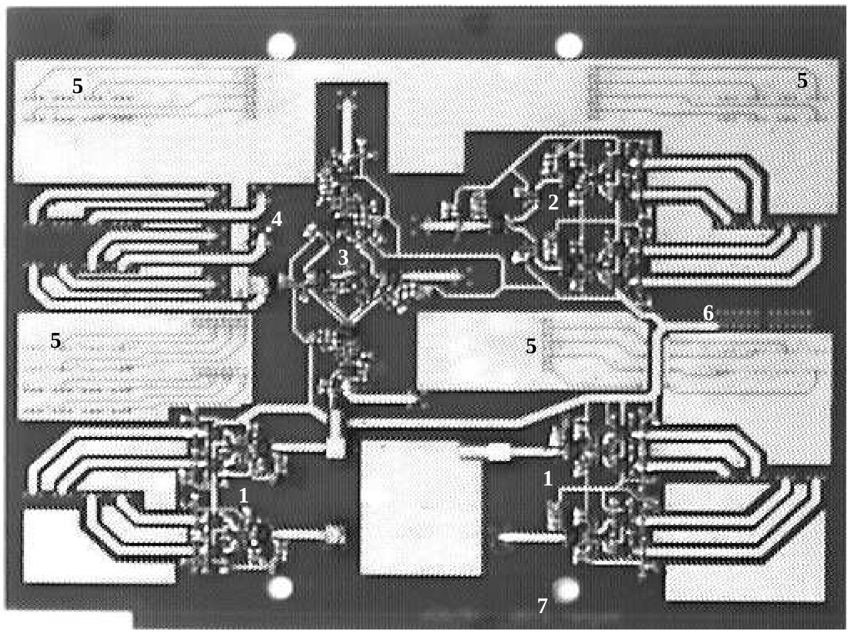

Abbildung 4.2: Photo des HP82k-Boards

Insgesamt stellt das HP82k-Board damit vier ratenverdoppelte Signalkanäle mit einer Datenrate von bis zu 800 Mbit/s, sechs hochfrequenzgeeignete 50Ω Leiterbahnen zur Ein- und Auslese von Signalen und 40 langsame Datenkanäle zur Verfügung.
Die Funktionsfähigkeit der vier Ratenverdoppelungsblöcke ist überprüft worden und ergab keine wesentlichen Abweichungen von den Messungen, die mit den Schaltungen auf dem ersten Testboard durchgeführt worden sind.

Das Adapterboard, auf das der TASIC plaziert wird, ist speziell an die geometrischen und elektronischen Anforderungen des TASICs und dessen Test angepaßt. Geometrie und Pinbelegung des Packages (Ball-Grid-Array, kurz: BGA) sowie die Befestigungstechnik des BGA auf dem Board mit Hilfe der Interposer Fassung [28] gehen entscheidend in die Entwicklung des Adapterboards ein. Es folgt dementsprechend zunächst eine Beschreibung des Ball-Grid-Arrays und Interposers, bevor das Adapterboard selber vorgestellt wird.

4.1.2 Das Ball-Grid-Array Gehäuse des TASICs

Das Design des TASICs erlaubt sowohl Benutzung eines Gehäuse, das für Draht-Bonding geeignet ist, als auch die Verwendung eines Flip-Chip-Gehäuses. An zwei Seiten des insgesamt $20mm^2$ großen Siliziumchips befinden sich 71 Wire-Bond-Pads (siehe Abbildung 4.3 links oben) [26], [27]. Der Abstand zwischen zwei Pads beträgt $125\mu m$. Die Flip-Chip-Pads sind über den mittleren Bereich der Chipfläche passend zur

Benutzung eines *IBM CBGA MadRiver* [28] Substrats verteilt. Dadurch daß die Wire-Bond-Pads entlang zweier sich berührender Seiten angeordnet sind, kann ein Gehäuse für vier Chips verwendet werden, falls das Gehäuse genügend groß ist. In jeder Ecke des Gehäuses befindet sich ein Chip, jeweils um 90° gedreht, so daß die Pads auf dem Chip entlang der Wire-Bond-Pads des Gehäuse liegen. (siehe Bild 4.3 rechts oben)

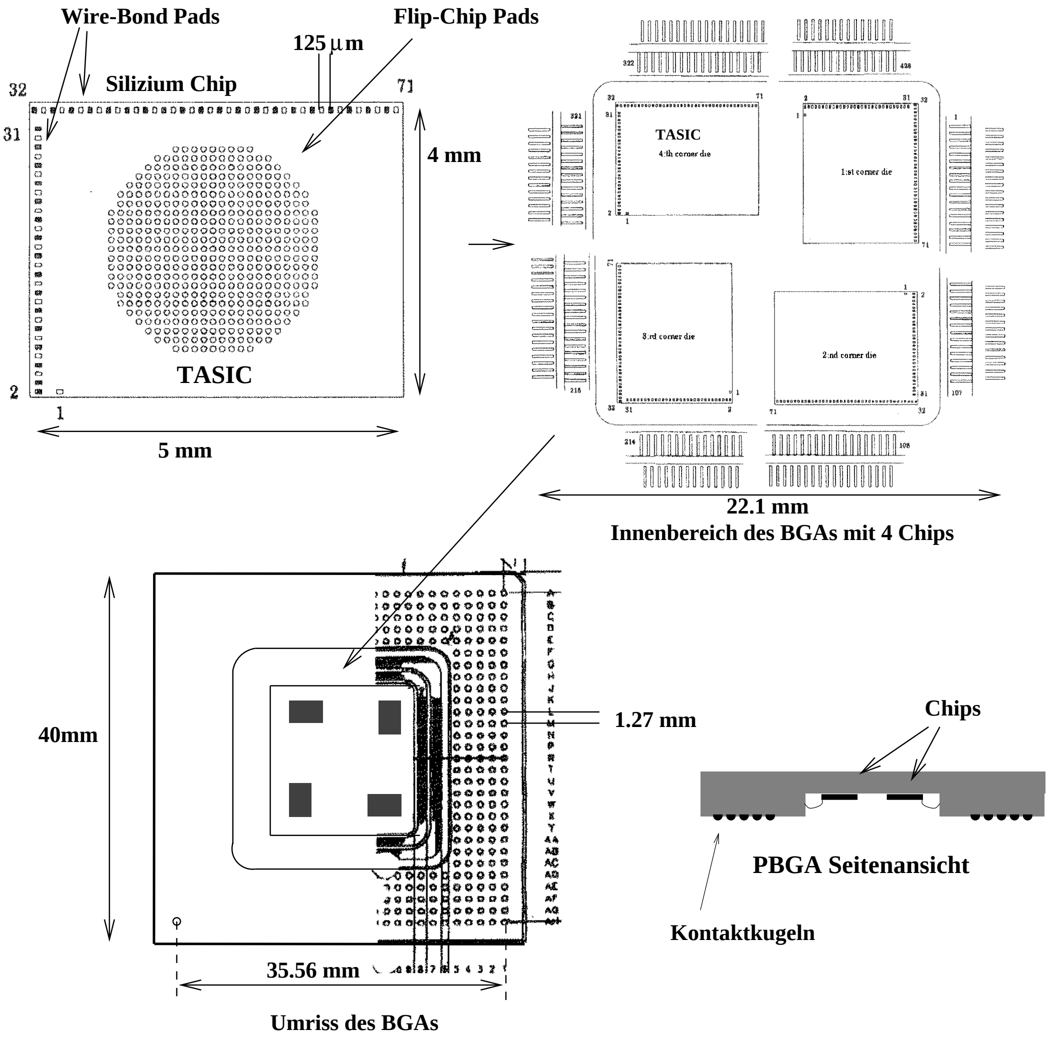

Abbildung 4.3: Schematische Darstellung des Bull PBGA 480 Geschäuses

Das für die Unterbringung der TASIC-Chips verwendete Gehäuse ist ein *PBGA 480* Gehäuse der Firma *Bull* (siehe Abbildung 4.3). Das PBGA 480 besteht aus einer Mehrlagen-Miniplatine, an deren Unterseite sich 480 Kontaktkügelchen, die auf Kontaktflächen einer Platine gelötet werden können, befinden. Zwei Lagen der Miniplatine dienen zur Führung der Signalleiterbahnen, die die Kontaktkugeln mit Wire-Bond-Pads auf dem Gehäuse verbinden. Zwischen diesen Lagen befindet sich eine Fläche für die Verteilung der Versorgungsspannung. Sie ist mit 24 Kontaktkugeln verbunden. Zwei Masseflächen, die mit 28 Kugeln kontaktiert sind, schirmen die Signalleiterbahnen zu beiden Seiten ab und befinden sich in Kontakt mit den Chipmassen. Für die Plazierung eines oder mehrerer Chips steht eine Fläche von ca. $260mm^2$ zur Verfügung. Die Gesamtfläche des Gehäuses beträgt $40 \times 40mm$. An den Seiten des Bereichs, der zur Positionierung der Chips bereitsteht, befinden sich, in zwei Reihen angeordnet, die Wire-Bond-Pads des Gehäuses, die über Bonding-Drähte mit den Chips verbunden werden können. Insgesamt existieren 428 solcher Pads. Die Leiterbahnen auf der Lage, die mit den inneren Reihen der Wire-Bond-Pads verbunden sind, besitzen spezielle Hochfrequenzeigenschaften. Die schnellen 800 Mbit/s Eingangssignale werden daher auf Pads der inneren Reihen geführt. Der Abstand zwischen den Pads auf dem Gehäuse beträgt $250\mu m$. Die 480 Bälle des BGAs sind in einer 29×29 Matrix unter Auslassung des inneren 19×19 Bereichs angeordnet. Der Abstand zwischen benachbarten Kugelmittelpunkten beträgt 1.27 mm.

4.1.3 Die Interposer Fassung

Um das PBGA 480 Gehäuse mit den TASICs auf einer Platine zu befestigen, wird ein *PBGA 480 Mississippi Interposer* [28], der das Ball-Grid-Array mechanisch auf die Platine positioniert, verwendet. Auf der Platine muß sich ein Kontaktflächenfeld mit der gleichen Rasterung wie die der PBGA-Kugeln aufgebracht sein. Der TASIC kann damit beliebig auf - und wieder abmontiert werden, ohne festgelötet werden zu müssen.

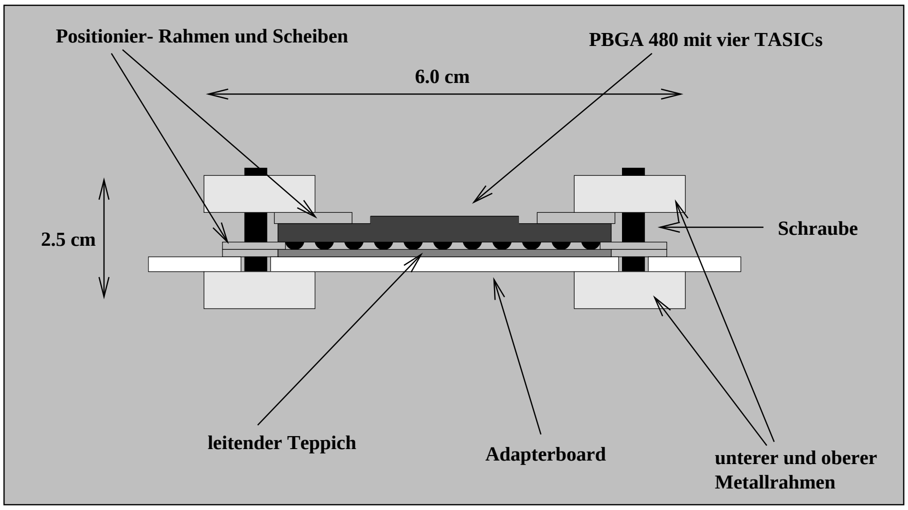

Abbildung 4.4: Aufbau des PBGA 480 Mississipi Interposers. Durch zwei Metallrahmen wird das BGA mit dem TASIC auf den in z-Richtung leitenden Teppich und das Adapterboard gedrückt.

Das Bonding der vier Chips auf einem Gehäuse ist so ausgeführt, daß bei einer Drehung des PBGAs um 90° die Kontakte der Chips ineinander übergehen. Das Adapterboard muß daher nur für *einen* TASIC mit Kontaktflächen und Leiterbahnen ausgerüstet sein. Durch Drehung des PBGA's um 90° können alle anderen Chips nacheinander getestet werden.

Abbildung 4.4 zeigt den Aufbau und die Funktionsweise des Interposers. Die Kontakte zwischen den Kugeln des Ball-Grid-Arrays und den Pads auf dem Adapterboard werden durch ein ECPI [2] [29] hergestellt. Es handelt sich hierbei um einen dünnen, ca. 0.5 mm dicken, elastischen Silikonteppich, in den feine Kanäle eines leitenden Materials eingearbeitet sind, die bei Druck auf das ECPI einen lokalen, elektrisch leitenden Durchgang zwischen Ober- und Unterseite herstellen (siehe Abbildung 4.5). In der Teppichebene wirkt das ECPI weiterhin als Isolator. Gemäß Spezifikation ist der Widerstand der Kontaktkanäle unter 100 $m\Omega$, während der Widerstand in der Teppichebene in einer Größenordnung von $10^{11}\Omega$ liegt.

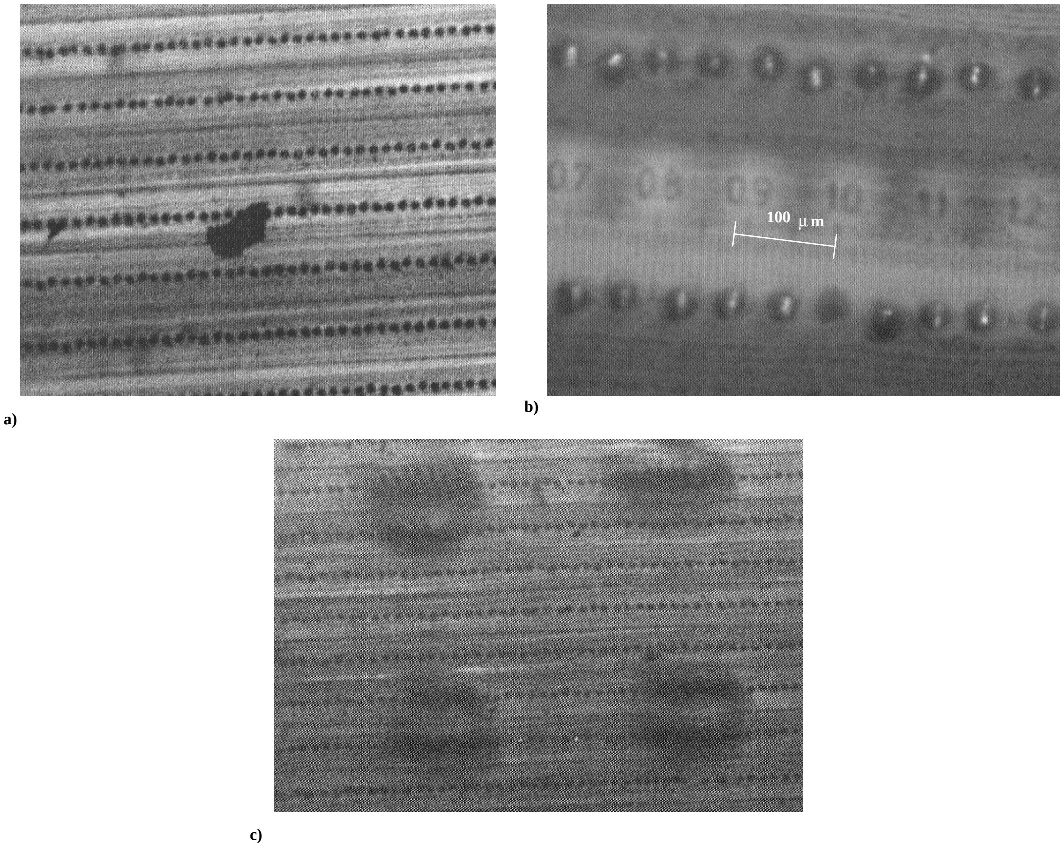

Abbildung 4.5: Mikroskopaufnahmen des Silikonteppichs. Die dunklen Punkte stellen die Kanäle dar, die bei Druck einen leitenden Durchgang durch den Teppich ausbilden. In Aufnahme c) erkennt man die Fußabdrücke der PBGA-Kugeln.

Auf den Mikroskopaufnahmen der Abbildung 4.5 sind die in Reihen angeordneten leitenden Kanäle innerhalb des ECPIs zu erkennen. Der Abstand zwischen benachbarten Kanälen beträgt ungefähr $50\mu m$, und die Reihen liegen in einer Entfernung von ca. $250\mu m$ voneinander. Wird dieser Teppich zwischen Ball-Grid-Array und Adapterboard gelegt und preßt das BGA leicht auf das Board, so bilden sich durch die hervorstehenden Kontaktkügelchen, die auf die ECPI-Matte gedrückt werden, leitende Kontakte zu

[2] Elastomeric Conductive Polymer Interconnect

den Pads auf dem Adapterboard aus. In Aufnahme c) der Abbildung 4.5 erkennt man die Abdrücke von vier Kugeln, die nach Abnahme des BGAs und Interposers auf der Silikonmatte zurückbleiben.

Die Positionierung und Befestigung des PBGA 480 und des Teppichs auf dem Adapterboard erfolgt durch zwei quadratische Metallrahmen, die mit vier Schrauben zusammengezogen werden. Auf dem Adapterboard befinden sich vier exakt positionierte Durchbohrungen zur Durchführung der Schrauben des Interposers. Durch passend auf das PBGA 480 dimensionierte Kunststoffschablonen, die zwischen den Metallrahmen aufgespannt werden, wird das PBGA genau auf das Adapterboard fixiert. Eine korrekte Positionierung des TASICs auf der Platine kann durch Widerstandsmessungen zwischen Leiterbahnen auf der Platine und Kontakten auf dem PBGA 480 überprüft werden (siehe hierzu Abschnitt 4.2.1). Das Drehmoment, mit dem die Schrauben des Interposers festgezogen werden, muß ungefähr 0.12 Nm betragen, um optimale Kontaktqualitäten zu garantieren. Unter Beachtung dieser Regel sollte ein Teppich einige Male verwendbar sein. Während der Tests wurde die Interposer-Fassung ca. 40 bis 50 mal auf- und wieder abmontiert. Die guten Kontakteigenschaften des ECPIs wurden dadurch nicht verschlechtert.

4.1.4 Layout des Adapterboards

Die Entwicklung einer TASIC-Adapterplatine war nach der Generierung der 800 Mbit/s Testsignale die zweite Hauptaufgabe, die zur Vorbereitung der Tests getroffen werden mußte. Dabei muß das Adapterboard folgende Funktionen bieten:

1. das Kontaktflächenfeld, auf das das PBGA mit den TASICs aufgebracht wird sowie Leiterbahnen sowohl für die 800 Mbit/s Signale als auch für Kontroll- und langsame Registerauslese- Leitungen, die von Steckerbuchsen zu den Pads führen

2. Durchbohrungen zur genauen Positionierung des Interposers

3. eine Ausfräsung in der Platine an der Stelle, an der der TASIC befestigt wird, um einen Zugriff auf die Chips - z.B. mit den Nadeln der Wafer-Probe-Station - während des Tests zu ermöglichen

4. die Versorgung des TASICs mit einem differentiellen 40 MHz Taktsignal

5. die Rückkopplungsschleifen der PLL und DLL.

6. Video Buffer zu Verstärkung der fünf demultiplexten 160 Mbit/s Ausgangssignale

Um den TASIC gegebenenfalls für eine Untersuchung mit der Wafer-Probe-Station auf dieser plazieren zu können, sollte das Adapterboard eine Größe von etwa $12.5cm \times 25cm$ nicht übersteigen. Die Anzahl von 71 benötigten Kontakten zu dem PBGA erlaubt vom Platzaufwand gerade noch die Verwendung einer Zwei-Lagen-Platine[3].

[3]Die Verwendung einer Zwei-Lagen-Platine spart Zeit und Kosten, da diese in der Galvanik-Werkstatt des Physikalischen Instituts der Universität Heidelberg hergestellt werden können.

Abbildung 4.6 zeigt eine Photographie des Adapterboards. Zu sehen ist die Seite, auf die das PBGA plaziert wird. Die Nummerierung entspricht der Auflistung im Text. Zu erkennen sind ferner die Steckerbuchsen für die Spannungsversorgung (7), die Buchsen für die langsamen TASIC Signale (8) und die Zuführung (8) der 800 Mbit/s Signale.

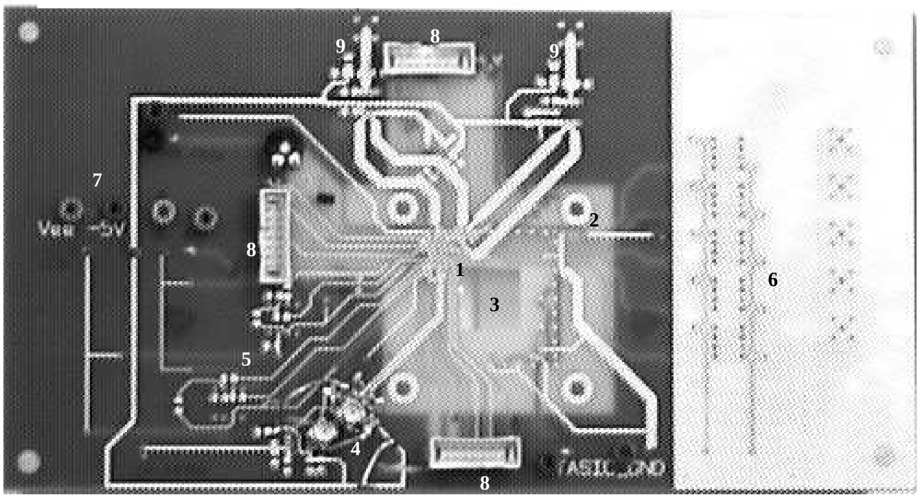

Abbildung 4.6: Photographie des Adapterboards

Im zentralen Platinenbereich befindet sich das Kontaktflächenfeld, auf das das PBGA aufgesetzt wird. Der Durchmesser der kreisförmigen Pads beträgt 0.76 mm (siehe Figur 4.7 a). Dieser Wert entspricht der vom Interposer und PBGA 480 Hersteller empfohlenen Padgröße. Da der Abstand zwischen den Pads durch die Kugeln des PBGAs auf 1.27 mm festgelegt ist, bleibt zwischen benachbarten Pads lediglich ein Freiraum von 0.51 mm. Dieser Raum reicht aus, um eine Leiterbahn mit einer Breite von 0.3 mm zwischen den Pads hindurchzuführen. Damit kommen sich Pads und Leiterbahnen bis auf 0.1 mm nahe. Mit einer Leiterbahnbreite von 0.3 mm und den 0.1 mm der isolierenden metallfreien Zone zwischen Pads und Leiterbahn sind die Grenzen der Strukturen, die von der Galvanik-Werkstatt aufgelöst und produziert werden können, erreicht. Um die Leiterbahnen von den Adapterboard-Pads nach außen zu führen, werden einige in unmittelbarer Nähe der Pads auf die untere[4] Platinenseite geleitet, während andere auf der oberen Seite zwischen den Pads hindurch in den Außenbereich verlaufen (siehe Abbildung 4.7 b).

[4]Mit 'oberer Platinenseite' ist die Seite, auf die das PBGA aufgesetzt wird, gemeint. Mit 'Unterseite' wird dementsprechend die andere Platinenseit bezeichnet.

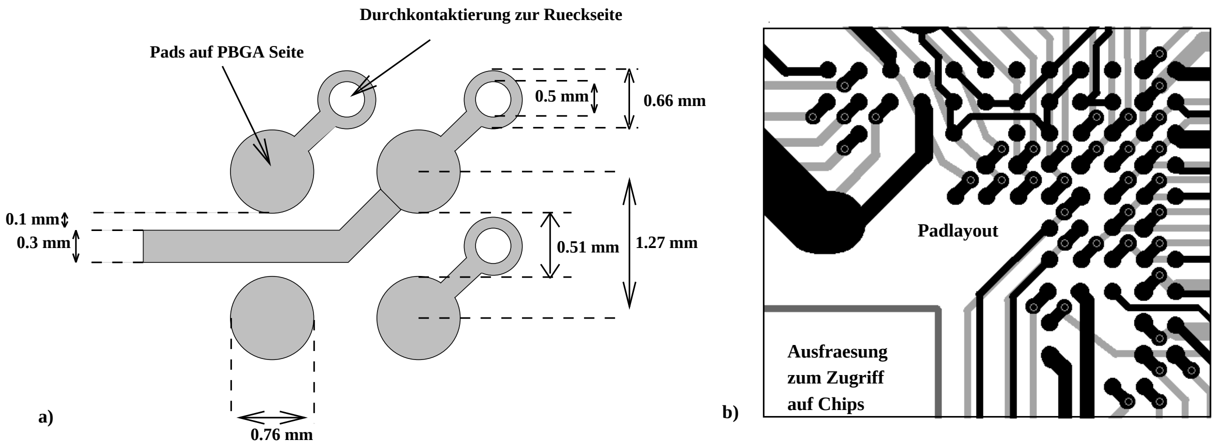

Abbildung 4.7: a) Darstellung der Pads auf dem Adapterboard, die mit den Kugeln des PBGA 480 kontaktiert werden. Die rechte Abbildung b) zeigt einen Ausschnitt aus dem Board Layout. Man erkennt die Pads (schwarz) und die Leiterbahnen, die auf der Oberseite verlaufen (ebenfalls schwarz gezeichnet). Die grau gezeichneten Linien sind die Leiterbahnen auf der Unterseite. In der linken unteren Ecke befindet sich die Ausfräsung, die einen Zugriff auf die Chips gestattet.

Aus Platzgründen wird nur Kanal 15 der TASIC-Dateneingangskanäle separat mit einem 800 Mbit/s Signalkanal des HP82k-Boards verbunden. Ein zweiter schneller Datenkanal ist gleichzeitig mit den sechs weiteren Datenneingängen des TASICs verbunden. Beide 800 Mbit/s Signale werden als einfaches Signal über Kabel vom HP82k-Board zugeführt und anschließend auf dem Adapterboard mit Hilfe eines Receivers (ME10EL16) aufbereitet und als differentielle Signale zum TASIC über 50Ω-Mikrostreifenleitungen weitergeleitet. Vor den Receivern und den TASIC-Eingängen befinden sich 50Ω-Abschlüsse auf dem Board. Dadurch daß einige Leiterbahnen auf der Oberseite in dem Bereich verlaufen, auf den das PBGA aufgesetzt wird, kann es zu Kurzschlüssen kommen. Die Leiterbahnen in diesem Bereich werden daher zur Isolierung mit Klebeband überdeckt. Um eine ausreichende Masse- und Versorgungsspanungszufuhr zu gewährleisten, werden möglichst viele der PBGA-Kugeln, die mit der Masse bzw. Versorgungsspannung der TASICs verbunden sind, mit Leiterbahnen kontaktiert und auf Steckerbuchsen geführt. Hierdurch wird eine Trennung der Masse der TASICs von der Adapterboardmasse, die über die Kabel und das HP82k-Board mit der Chip-Tester-Masse verbunden ist, erzielt. Indem die Spannungspegel der TASIC-Masse und Spannungsversorgung relativ zu den festen ECL-Signalen der ECL-Bausteine verschoben werden, kann zwischen normaler ECL-Logik und positiver ECL-Logik (PECL) ausgewählt werden. Der Testaufbau bleibt somit in bezug auf die vom TASIC benötigten Signalpegel anpassungsfähig.

Zur Versorgung des TASICs mit einer differentiellen 40 MHz Clock befindet sich ein weiterer Receiver auf dem Adapterboard, um aus einem einfachen 40 MHz Signal des Chip-Testers ein differentielles 40 MHz Signal zu generieren. Die Verwendung eines einfachen Chip-Tester-Signals in Kombination mit einem Receiver an Stelle zweier Chip-Tester-Kanäle mit komplementären Bitfolgen führt zu einem besser definierten, differentiellen Clocksignal. Auch hier befinden sich 50Ω-Abschlüsse vor dem Receiver und den TASIC-Eingängen.

Die Rückkopplungsschleifen der PLL und DLL des TASICs sind durch einen als Integrator geschalteten Operationsverstärker realisiert. Als Operationsverstärker wird ein rauscharmer TL071 verwendet. Entscheidend ist, daß der verwendete Operationsverstärker eine MOSFET[5] Eingangsstufe besitzt, da Ausgänge der PLL und DLL keine großen Ströme bereitstellen können. Den Schaltplan der Rückkopplungsschleife zeigt Abbildung 4.8. Die Spannungsversorgung der Operationsverstärker ist durch einen Kondensator abgeblockt (nicht in Abb. 4.8 eingezeichnet).

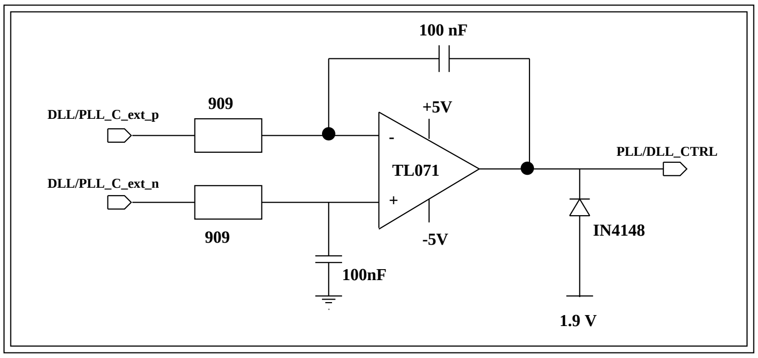

Abbildung 4.8: Die Rückkopplungsschleifen der PLL und DLL des TASIC Clock-Generators

Die fünf demultiplexten schnellen 160 Mbit/s Ausgangsdatensignale von Kanal 15 werden zur Verstärkung auf dem Adapterboard zu Video Buffern gesendet, bevor sie über Koaxialkabel zum Chip-Tester übertragen werden. Aufgrund ihrer Tauglichkeit für hohe Datenraten werden OPA633 Video Buffer mit einer Signalbandbreite von 275 MHz verwendet. Die Signale werden über Kondensatoren zugeführt bzw. ausgekoppelt (*AC-Coupling*). Auch hier sind die Versorgungsspannungen über jeweils einen Kondensator abgeblockt.

[5] Metall Oxyd Semiconductor Field Effect Transistor. Im Gegensatz zu bipolaren Transistoren, die durch Ströme über die Basis geschaltet werde, arbeiten FETs mit Hilfe elektrischer Felder. Das Gate bleibt durch eine Siliziumoxidschicht isoliert, so daß nur ein sehr geringer ($< 1nA$) Gatestrom fließt.

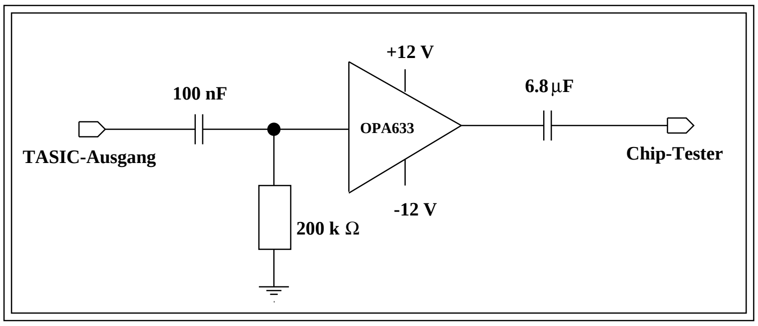

Abbildung 4.9: Schaltung zur Verstärkung der 160 Mbit/s TASIC Ausgangssignale

Wie bereits erwähnt, müssen die ECL-Schaltungen auf dem TASIC mit einem Biasstrom versorgt werden. Mit einem Potentiometer kann dieser Strom auf den Sollwert von ca. $90\mu A$ eingestellt werden.

Zur Übertragung der schnellen 800 Mbit/s und 160 Mbit/s Signale zwischen HP82k- und Adapterboard werden wegen ihrer HF-Tauglichkeit SMA-Kabel (RG316) mit SMA-Steckern verwendet. Die übrigen Signale werden über Lemo-Kabel, die auf Lötstiftleisten gelötet sind, übertragen. Die Größe des Adapterboards beträgt 12.9 $\times$ 25.3 cm.

4.2 Test

4.2.1 Montage der Interposer-Fassung

Die mechanische Montage der Interposer Fassung auf das Adapter Board funktionierte problemlos und konnte innerhalb weniger Minuten durchgeführt werden. Um die korrekte Fixierung des PBGAs mit dem Interposer zu überprüfen, wurden zwei der insgesamt 24 Kugeln des PBGAs, die mit der internen Spannungsversorgungs-Kontaktschicht verbunden sind, getrennt von den restlichen Spannungsversorgungsanschlüssen über Leiterbahnen mit Steckerbuchsen verbunden. Hierbei wurden zwei Kugel gewählt, die genau in diagonal gegenüberliegenden Ecken der PBGA-Kugelmatrix liegen. Bei richtiger Plazierung des PBGAs muß der Widerstand zwischen diesen beiden Spannungsversorgungsleitungen fast[6] verschwinden, da sie über die für die Spannungsversorgung vorgesehene Ebene des PBGAs miteinander verbunden sind. Der Widerstand zwischen Leiterbahnen, die zu benachbarten Pads führen, sollte hingegen extrem hoch[7] bzw. durch die interne Widerstände auf dem TASIC vorgegeben sein.

Da kein Drehmoment Schraubenzieher zum Anziehen der Interposerschrauben mit dem vorgeschriebenen Drehmoment von 0.12 Nm zu Verfügung stand, wurde bei den ersten Montagen der Schaubenzieher mit einem Kraftmesser bei festgelegter Hebellänge

[6]Der Widerstand der Kette: Leiterbahn - Silikonmatte - PBGA Leiterbahn - Silikonmatte - Leiterbahn nahm bei richtiger Positionierung des PBGAs Werte unter 1 Ω an.

[7]Der Widerstand lag jenseits des Meßbereichs von maximal 32 $M\Omega$, der mit dem verwendeten Meßgerät zu erreichen war.

angezogen, womit sich ebenfalls ungefähr das Drehmoment abschätzen ließ. Ist der Druck, mit dem die Interposerrahmen zusammengeschraubt sind, etwas zu groß, so kommt es zu Kurzschlüssen zwischen benachbarten Leiterbahnen, da die Kugeln des PBGAs tiefer in den Silikonteppich gedrückt werden und sich damit die Querschnittsflächen der leitenden Durchgänge durch den Teppich vergrößern und gegebenenfalls zwei Leiterbahnen oder Pads gleichzeitig kontaktieren. Ein zu geringes Drehmoment kann hingegen eine unzureichende Ausbildung der leitenden Kanäle verursachen, so daß es zu einem sehr großen Widerstand oder überhaupt keinem Kontakt durch den Silikonteppich hindurch kommt. In diesem Fall läßt sich über die oben beschriebenen Versorgungsspannungsanschlüsse ein sehr großer Widerstand messen. Bei späteren Montagen konnte daher auf den Kraftmesser verzichtet werden und die Schrauben vorsichtig nach Gefühl angezogen werden. Es trat hierbei keine meßbare Beschädigung der Silikonmatte auf. Alles in allem erwies sich die Interposer Fassung als zuverlässig und einfach handhabbar.

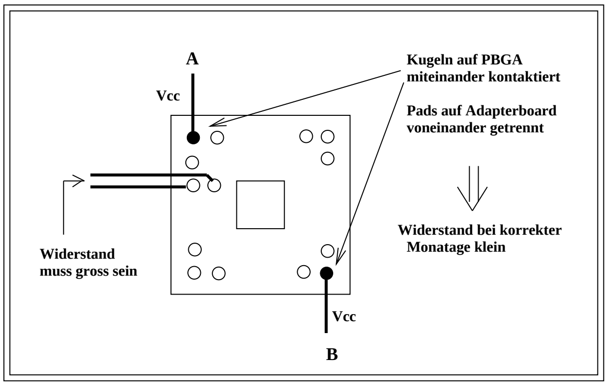

Abbildung 4.10: Die richtigen Plazierung des Interposer Boards kann mittels Widerstandsmessungen überprüft werden.

4.2.2 Testprogramm

Die Hauptaufgabe des TASICs ist die Parallelisierung der 800 Mbit/s Eingangsdatenströme in jeweils fünf 160 Mbit/s Datenkanäle. Die Überprüfung der Demultiplexerschaltungen und die Untersuchung von beeinflussenden Faktoren auf deren Funktionsweise sind daher das zentrale Ziel des TASIC-Testprogramms. Ein korrekt arbeitender Clock-Generator stellt dabei eine notwendige Voraussetzung für das Funktionieren des Demultiplexers dar.

Als erste Aufgabe des Testprogramms wird daher sein, den Clock-Generator zu untersuchen (siehe Kapitel 2.5.2). Zuerst wird die Funktionsweise der PLL getestet. Die Rückkopplungsschleife bleibt zunächst offen. Das externe 40 MHz Clocksignal wird auf die entsprechenden Eingänge des TASICs gegeben. An den Kontrollausgängen der PLL, *C_ctrl_p* und *C_ctrl_n*, kann das Antwortsignal des Phasendetektors der PLL abgegriffen werden. Variiert man die Frequenz des externen Taktsignals, so kann der Zusammenhang zwischen PLL Anwort und Frequenz des Taktsignals aufgenommen werden und so Rückschlüsse auf die Einschränkung des Frequenzbereichs durch die PLL gezogen werden.

Im nächsten Schritt wird die Rückkopplungsschleife geschlossen. Die 160 MHz Clock, die jetzt von der PLL erzeugt wird, kann direkt an den betreffenden TASIC-Ausgängen gemessen werden. Dieses Signal wird auf dem späteren Prozessor-ASIC als Taktsignal für die Trigger-Logik verwendet. Die Frequenzstabilität der 160 MHz Clock und vor allen Dingen die Synchronität mit der 40 MHz Clock sind von großem Interesse. Da die 160 MHz Clock die DLL steuert, kann eine große Abweichung von den vorgesehenen 160 MHz oder eine starke Schwankung der Frequenz um diese 160 MHz die Arbeitsweise der Demultiplexer entscheidend beeinträchtigen.

Die DLL kann nicht wie die PLL direkt getestet werden. Bei offener Rückkopplungsschleife kann zunächst die Funktionsweise des DLL-Phasendetektors untersucht werden. Hierzu muß die in der PLL erzeugte 160 MHz Clock, die von der DLL als Referenzfrequenz verwendet wird, variiert werden. Dies kann durch Änderung des externen 40 MHz Taktes bei geschlossener PLL erreicht werden. Ein Test der DLL mit geschlossener Rückkopplungsschleife ist jedoch nur indirekt über die Ausgangssignale der Demultiplexerschaltungen möglich.

Der Test der Demultiplexer ist über die Registerauslese oder die 160 Mbit/s Ausgangssignale des 15. Kanals möglich. Es werden hierbei immer mehrere Schaltungseinheiten gemeinsam getestet. Eine Möglichkeit, um die Parallelisierung der Eingangsdaten zu testen, ist es, ein periodisches Eingangssignal, das sich alle fünf Bits wiederholt, zu verwenden. Bei der Registerauslese muß je nach Adressierung das betreffende Bit aus dieser 5er Bitfolge an allen vier Leitungen anliegen. An den fünf demultiplexten 160 Mbit/s Ausgängen sollte in diesem Fall ein zeitlich konstanter Pegel anliegen (siehe Kapitel 2.5.4).

Von entscheidender Bedeutung ist die zeitliche Stabilität dieser Signalparallelisierung. Wie genau muß das 800 Mbit/s Eingangsdatensignal auf die 40 MHz Clock abgestimmt sein? Um dies zu testen, muß die Phasenverzögerung zwischen Eingangssignal und 40 MHz Takt variiert werden. Dies kann durch die Zeiteinstellung der Chip-Tester-Signale in 50ps-Schritten erreicht werden. Zu erwarten ist hierbei, daß es Zeitbereiche gibt, in denen die Parallelisierung annähernd fehlerfrei durchgeführt werden sollte, da die von der DLL erzeugten Taktsignale die Demultiplexerschaltungen im richtigen Zeitpunkt takten. In anderen Zeitbereichen kann es jedoch vorkommen, daß der Schaltzeitpunkt der Sample&Hold-Register der Demultiplexer genau in dem Übergangsbereich zweier Bits, also eventuell auf einer auf- oder absteigenden Signalflanke liegen. Es kommt in diesem Fall zu Fehlzuordnungen in der Parallelisierung. Die Länge der stabilen Zeitbereiche hängt maßgeblich von der zeitlichen Stabilität der DLL-Signale ab. Sie sollten mindestens so groß sein, daß die Anpassung der Phasenverzögerung zwischen Eingangsdatensignalen und Taktsignal über die internen Verzögerungseinheiten an den Dateneingängen des TASICs durchgeführt werden kann. Diese Tests werden durch zeitliche Schwankungen der Testsignale beeinflußt. Durch die in Kapitel 3.6.3 beschriebenen Messungen der Testsignale kann dieser Effekt bei den Tests berücksichtigt werden.

Während der Tests sollte auf Störungen in der Übertragung der hochfrequenten

Signale durch Signalreflektionen oder Oszillationen geachtet werden. Ein Übersprechen zwischen nebeneinander verlaufenden Signalleitungen kann vor allen Dingen in den Eingangsstufen zu Problemen führen. Um dies zu untersuchen, muß beobachtet werden, ob das Testsignals, das auf die Eingangskanäle 9 bis 14 geführt wird, sich in den Ausgangssignalen des 15. Kanals bemerkbar macht.

Indem die Spannungspegel der Eingangssignale variiert werden, kann das Schaltverhalten der Komparatoren an den Dateneingängen untersucht werden. Diese Tests sind allerdings nur mit direkten Chip-Tester-Signalen möglich, da die ratenverdoppelten Signale die festen Standard-ECL-Pegel besitzen.

4.2.3 Biasstrom

Bevor mit dem eigentlichen Testprogramm begonnen werden konnte, mußten die verschiedenen Spannungsversorgungen bereitgestellt werden (siehe Kapitel 2.5.7). Die V_{cc}-Spannung des TASICs wurde auf 0 V gelegt und die Masse des TASICs sowie der *substrat*-Anschluß auf -3.3 V. Der *bias*-Eingang des TASICs wurde über ein Potentiometer an den V_{cc} - Pegel angeschlossen. Zur Überprüfung des fließenden Biasstroms wurde ein Strommeßgerät dazwischengeschaltet. Es wurde aber unabhängig von der Potentiometereinstellung kein Strom gemessen.

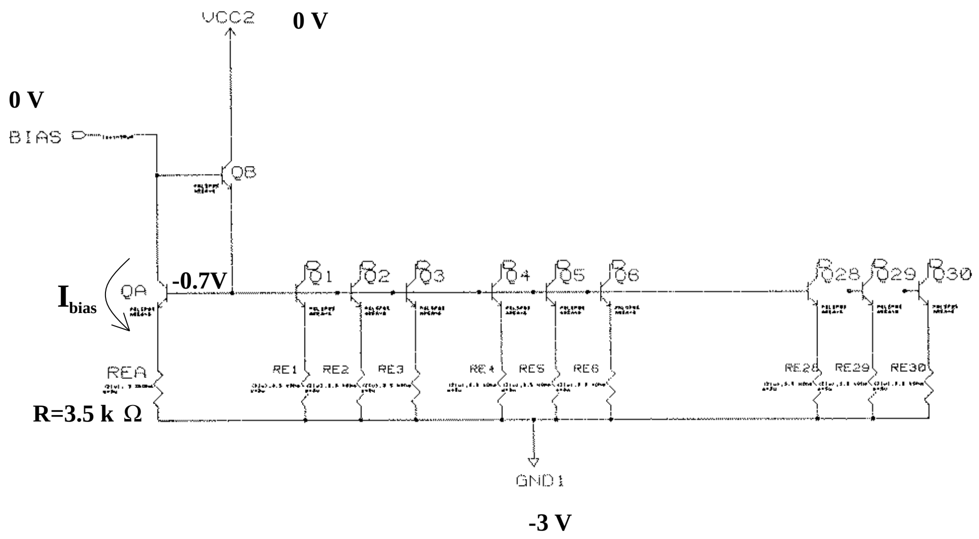

Abbildung 4.11: Bias-Stromspiegel auf dem TASIC

Der Biasstrom kontrolliert auf dem TASIC einen Stromspiegel, der die Biasströme für die ECL-Schaltungen des TASICs regelt. Der Schaltplan ist in Abbildung 4.11 dargestellt.

Erfolgt die Polung der Schaltung wie oben beschrieben, so befindet sich die Basis und der Kollektor des Eingangstransistors auf höherem Potential als der an Masse kontaktierte Emitter. Der npn-Transistor ist in Durchlaßrichtung geschaltet, und es müßte ein Kollektorstrom fließen. Dieser Strom soll durch den Innenwiderstand von $3.5k\Omega$ und das Potentiometer auf dem Adapterboard auf $90\mu A$ begrenzt werden. Dieser Strom und die Funktionsweise des Eingangstransistors sind vollkommen unabhängig von den restlichen Eingängen und Schaltungen des TASICs. Ein Ausbleiben des Biasstromes kann nur durch einen Fehler, falls dieser wirklich auf dem TASIC zu suchen ist, in dieser einfachen Schaltung liegen. Auch eine Verschiebung der Spannungspegel und eine Umpolung der Spannungen bewirkten keine Änderung.

Um das Adapterboard oder eine unkorrekte Plazierung des Interposers als Fehlerursache auszuschließen, wurde die Messung an dem TASIC-Gehäuse direkt ohne Benutzung des Interposers und des Adapterboards durchgeführt. Dies war möglich, da nur wenige Kugeln des PBGAs bei diesem Test kontaktiert werden mußten. Auch bei diesem Test floß kein Biasstrom durch den TASIC.

Mit der Wafer-Probe-Station konnte die Kontaktierung zwischen den Kugeln des PBGAs und den Wire-Bond-Pads auf dem TASIC überprüft werden. Auch diese konnten damit als Fehlerquelle ausgeschlossen werden, womit die Fehlerursache am TASIC selber - wahrscheinlich an einem defekten bipolaren Transistor - liegen mußte.

Durch eine Rücksprache mit den Entwicklern des TASICs, die sofort eine Überprüfung des TASIC-Designs durchführten, stellte sich heraus, daß durch einen Fehler bei der Generierung der bipolaren Transistoren die Emitter sämtlicher Transistoren keinen Kontakt zur Basis haben. Eine Korrektur dieses Fehlers konnte bis zur Submission einer zweiten Version des TASICs erfolgen. [26] [17]

Kapitel 5

Zusammenfassung

Die Verdoppelung der seriellen Datenrate der Chip-Tester-Signale wurde mit Hilfe der XOR-Multiplexerschaltungen erfolgreich durchgeführt. Damit stehen vier unabhängige 800 Mbit/s Datenkanäle für Tests digitaler Chips und insbesondere für die Tests des TASICs und des Level-1-Prozessor-ASICs zur Verfügung. Mit dem HP82k-Board und dem TASIC-Adapterboard wurde eine Testumgebung für den TASIC-Test aufgebaut. Der Test des TASICs machte auf einen entscheidenden Designfehler aufmerksam, der zu fehlenden Kontakten bei der Generierung bipolarer Transistoren geführt hat. Eine Untersuchung der auf dem TASIC implementierten Schaltungen war aus diesem Grund nicht möglich. Eine Korrektur des Designfehlers konnte durch die schnelle Aufdeckung des Fehlers vor der Produktion einer zweiten TASIC-Version erfolgen. Der Test dieses neuen TASICs wird ebenfalls mit den im Rahmen dieser Diplomarbeit entwickelten Werkzeugen durchgeführt werden. Die während dieser Arbeit begonnenen Simulationsstudien zu den Jettriggeralgorithmen zeigen, daß nur mit detaillierten Untersuchungen eine abschließende Beurteilung der Triggeralgorithmen gegeben werden kann. Eine solche Untersuchung muß den physikalischen Untergrund, eine Simulation des Detektors sowie die analog-elektrische Signalverarbeitung miteinbeziehen.

Anhang A

Ratenvervierfachung

Die Schaltung für die Verdoppelung der seriellen Datenrate läßt sich zu einer Ratenvervierfachungsschaltung ausbauen, indem zwei ratenverdoppelte Signale mit entsprechender Phasenverschiebung erneut auf ein XOR-Gatter geführt werden. Eine Multiplexerschaltung, die aus vier Chip-Tester-Kanälen ein Signal mit vierfacher Datenrate generiert, ist auf dem HP82k-Board aufgebaut. Die zeitliche Verschiebung zwischen den Chip-Tester-Kanälen muß so gewählt sein, daß die beiden Signale nach der ersten Ratenverdoppelung genau eine halbe Taktlänge des ratenverdoppelten Signals, was einem Viertel der Taktlänge des Ausgangssignals entspricht, beträgt. Dies erreicht man, durch eine Verzögerung des 3. Kanals (4. Kanals) gegenüber dem 1. Kanal (2. Kanals) um ein Viertel der Taktlänge (siehe Abbildung A.1).

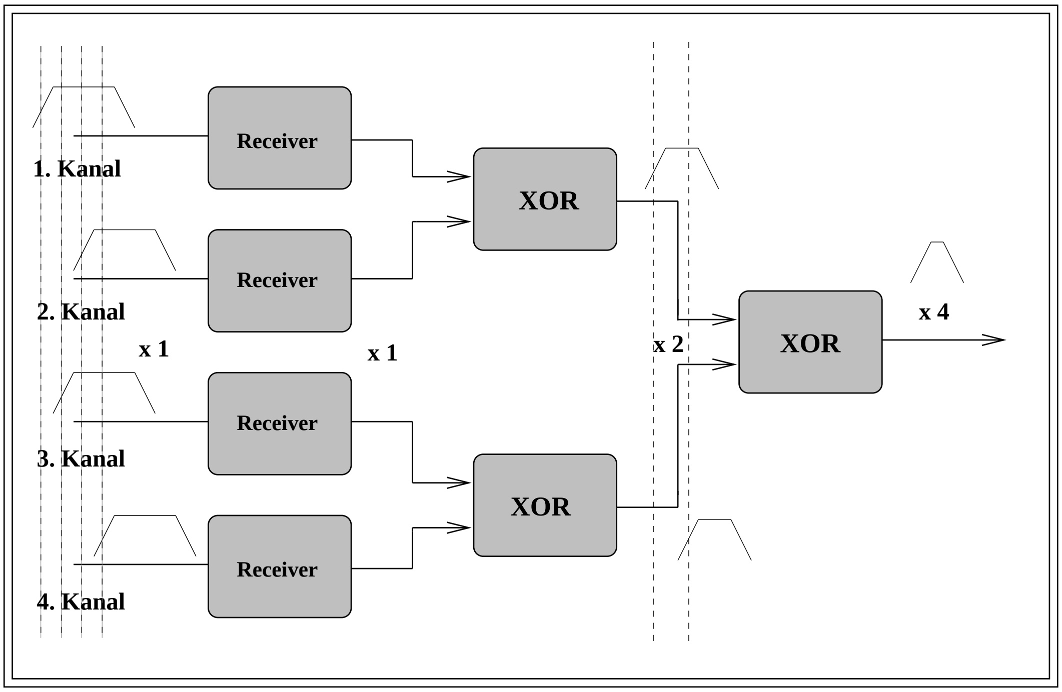

Abbildung A.1: Prinzip der Ratenvervierfachungsschaltung

In Abbildung A.2 ist die Messung eines Signals mit einer Datenrate von 1.2 Gbit/s zu sehen. Die Messung verdeutlicht, daß die Signalanstiegszeiten der verwendeten Gatter noch ausreichend für die Erzeugung von Signalen in diesem Ratenbereich sind.

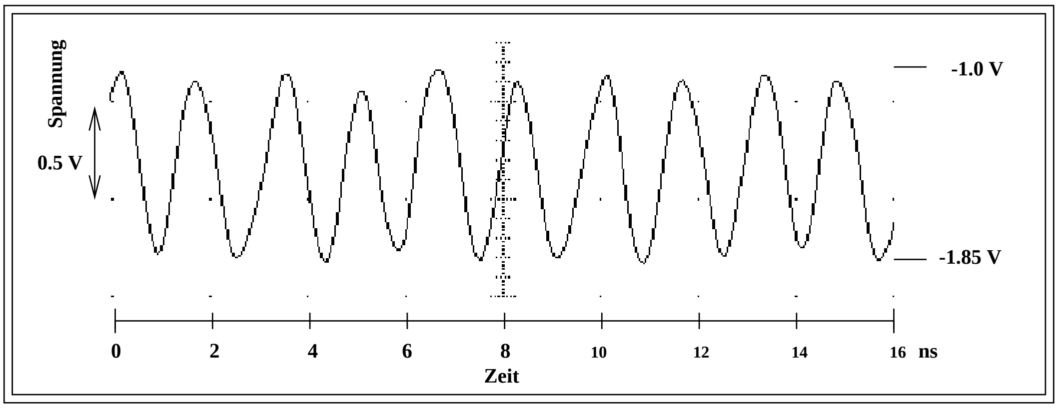

Abbildung A.2: Messung eines Signals mit 1.2 Gbit/s Datenrate

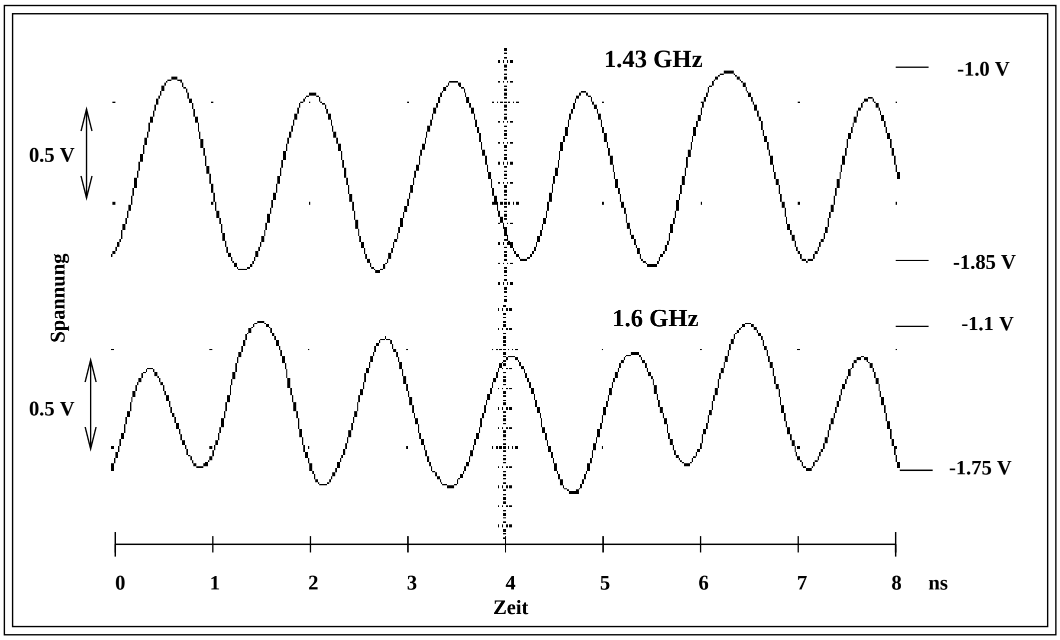

Abbildung A.3: Oszilloskopaufnahme eins 1.43 Gbit/s Signals (obere Kurve) und 1.6 Gbit/s Signals (untere Kurve)

Auch das in Abbildung A.3 (obere Meßkurve) dargestellte 1.4 Gbit/s Signal zeigt noch eine akzeptierbare Signalform. Im Ratenbereich über 1.4 Gbits/s hinaus verschlechtert sich jedoch die Signalqualität. Die Signaltreiber können in der kurzen Zeit, die für die Pegelwechsel zur Verfügung stehen, nicht mehr den vollständigen Signalhub erreichen. Dieser Effekt ist in der unteren Kurve in Abbildung A.3, die die Messung eines 1.6 Gbit/s Signals darstellt, zu erkennen. Bei einem Signal mit einer Datenrate von 1.6 Gbit/s beträgt die Taktdauer im Idealfall 625 ps. Dies liegt aber schon gering unter der doppelten Signalanstiegszeit der verwendeten Motorola-ICs (siehe Kapitel 3.6). Eine kleine zeitliche Schwankung in der Zeitstruktur der ratenverdoppelten Signal verursacht daher schon starke Störungen des ratenvervierfachten Signals, die sich in diesem Ratenbereich auf die Pegelhöhen auswirkt.

In Bild A.4 sind Messungen unter Verwendung des 3-Bit-Zähler-Testmusters (siehe Kapitel 3.6) bei verschiedenen Datenraten dargestellt.

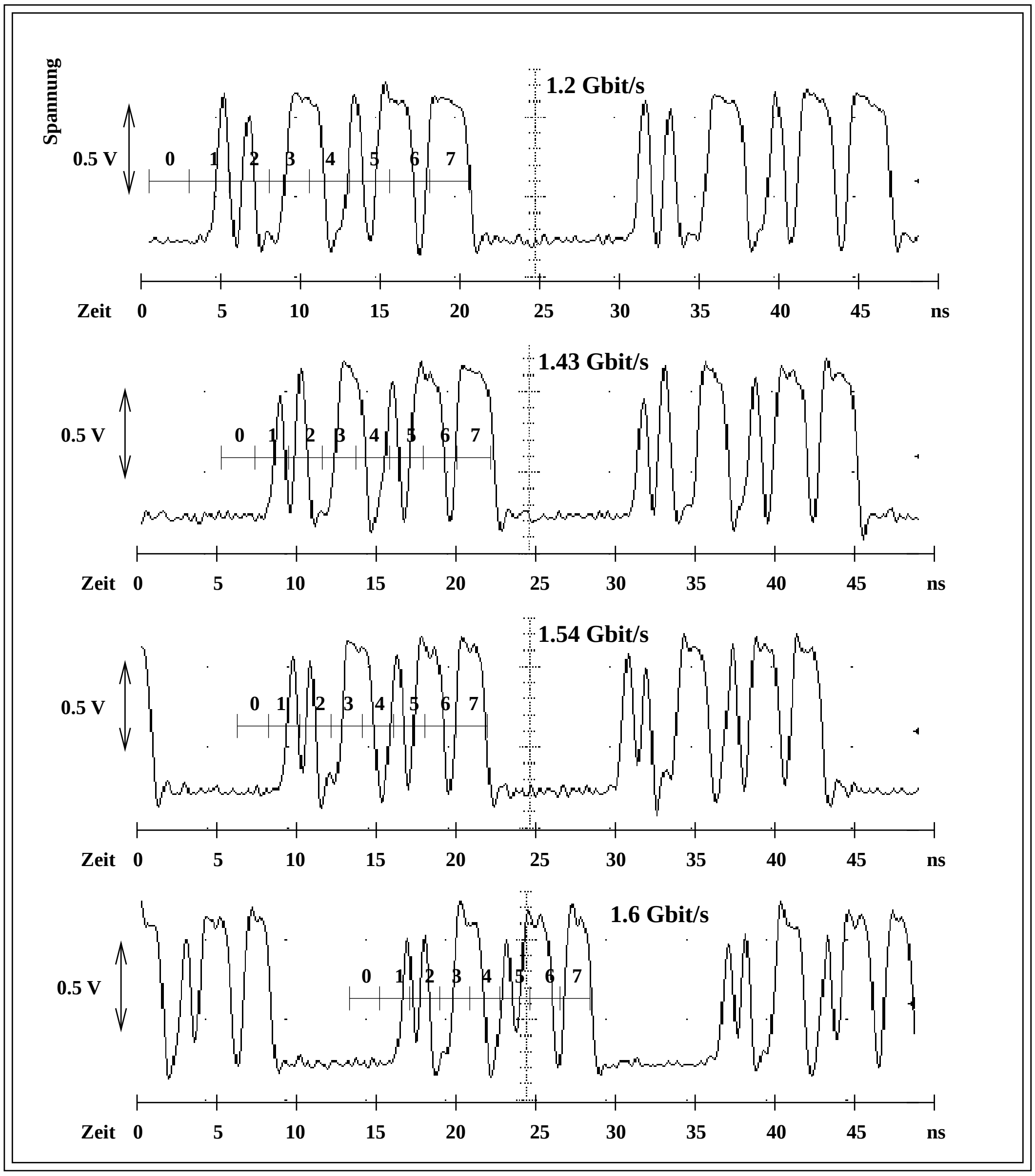

Abbildung A.4: 3-Bit-Zähler-Testmuster bei unterschiedlichen Übertragungsraten

Anhand dieser Messungen ist ebenfalls zu erkennen, daß die Multiplexerschaltung zur Erzeugung digitaler Signale mit einer Übertragungsrate von bis zu 1.4 Gbit/s geeignet ist. In der Messung des 1.54 Gbit/s Signals geringfügig und deutlicher beim 1.6 Gbit/s Signal ist zu sehen, daß bei kurzzeitigen Signalpegeländerungen infolge einer Bitfolge 0-1-0 bzw. 1-0-1 die Standard-ECL-Pegel nicht mehr erreicht werden, was zu Falschinterpretationen des Signals in einem Signalempfänger führen kann. Eine Verbesserung der Signalqualitäten kann vielleicht durch eine genaue Optimierung der Chip-Tester-Signalpegel und Phasenverschiebungen entsprechend der in Abschnitt 3.6.3 beschriebenen Messungen für die Ratenverdoppelungsschaltung erzielt werden. Hierauf wurde verzichtet, da keine Signale mit Datenraten größer als 800 Mbit/s für die Tests der ASICs benötigt werden.

Anhang B

Demultiplexer für Chip-Tester-Einlese

Die Komparatoren der Chip-Tester-Eingangsstufen benötigen eine Pulsmindestlänge von einer ns, um das Signal korrekt auflösen zu können. Damit ist die Analyse eines seriellen digitalen 800 Mbit/s Signals unter Verwendung der Datenaufnahmefunktionen des HP82000-Chip-Testers nicht mehr möglich. Sollen trotzdem Signale mit so hoher Datenrate mit Hilfe des Chip-Testers aufgenommen werden, so müssen diese auf zwei Kanäle demultiplext werden. Die beiden auf diese Weise generierten Signale besitzen nur noch die halbe Datenrate und können mit der Oszilloskopfunktion des Chip-Testers erfaßt werden.

Auf dem HP82k-Board ist ein Demultiplexer für einen hochfrequenten Eingangskanal implementiert. Abbildung B.1 zeigt den zugehörigen Schaltplan.

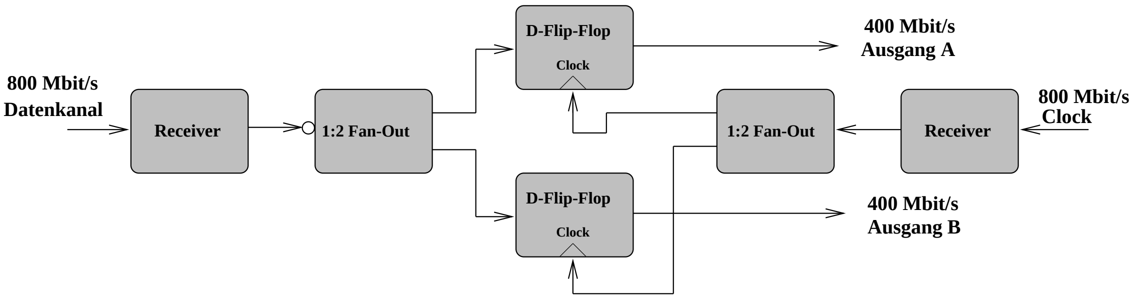

Abbildung B.1: Demultiplexer zur Aufspaltung eines Signals auf zwei Kanäle mit halber Datenrate

Das digitale Testsignal, das in den Chip-Tester eingelesen werden soll, wird zur Verbesserung der Signalform zunächst auf einen Receiver (ME10EL16) gegeben, bevor es zu einem zweifachen Fan-Out-Buffer (ME10EL11) geführt wird. Aus diese Weise kann das Signal auf die Eingänge zweier getakteter D-Flip-Flops (ME10EL51) geleitet werden. Die Flip-Flops werden durch ein 800 Mbit/s Clocksignal (=400 MHz) getaktet. Ist das eine Taktsignal invertiert gegenüber dem zweiten, so werden die Datenbits des 800 Testsignals abwechselnd in das erste oder das zweite Flip-Flop eingelesen. Die Einlese des Testsignals in den Master des Flip-Flops geschieht, wenn sich das Clocksignal auf Low-Pegel befindet, und es wird bei positiver (ansteigender) Flanke der Clock an den Slave weitergeleitet und liegt damit am Ausgang des Flip-Flops an, bis eine erneute positive Signalflanke des Clocksignals erfolgt. Die Pulslängen des Testsignals werden auf die doppelte Länge ausgedehnt und können vom Chip-Tester eingelesen werden.

Auf diese Weise lassen sich nur die Bitfolgen des Testsignals untersuchen. Aussagen über die Signalform sind nicht möglich, weil diese durch die Flip-Flops vorgegeben ist. Abbildung B.3 zeigt die Messung der beiden demultiplexten Kanäle eines 800 Mbit/s Signals, für das das in Bild B.2 dargestellte Testmuster verwendet wurde. Aus Platzgründen ist der Ausgang des Receivers, der das Testsignal aufbereitet, an den invertierten Eingang des Fan-Out-Buffers angeschlossen. Die beiden mit dem Chip-Tester aufgenommenen Signale sind daher invertiert. Als 800 Mbit/s Taktsignal muß eines der vier ratenverdoppelten Signale verwendet werden.

0 0 0 1 1 0 0 1 0 0 1 1 0 0 0 1 1 0 0 ... → **0 0 1 0 0 1 0 0 1 0 ...** / **0 1 0 1 0 1 0 1 0 1 ...**

Abbildung B.2: Testmuster für Test der Demultiplexerschaltung

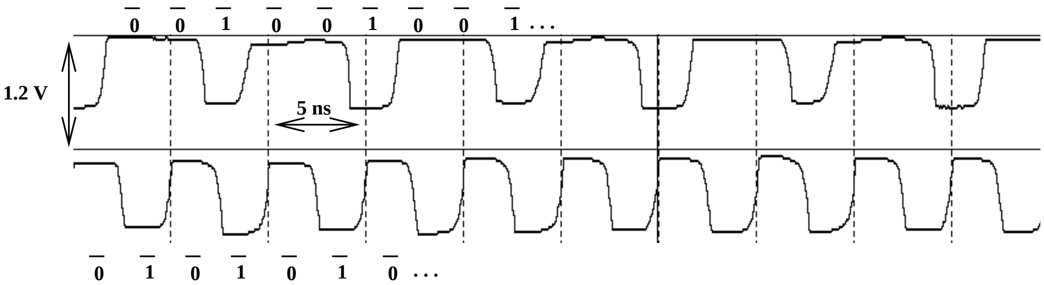

Abbildung B.3: Aufnahme der Demultiplexer Ausgangssignale; die Messungen sind mit der Oszilloskopfunktion des Chip-Testers durchgeführt worden.

In Abbildung B.4 ist zum Vergleich eine direkte Aufnahme des Signals mit dem Chip-Tester abgebildet. Gut zu erkennen ist, daß die kurzen Signalpulse, die einer Bitfolge -0-1-0- entsprechen, nicht mit dem Chip-Tester korrekt erfaßt werden können.

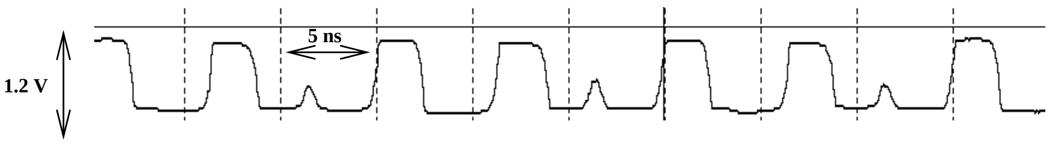

Abbildung B.4: Aufnahme eines 800 Mbit/s Signals mit dem Chip-Tester

Literaturverzeichnis

[1] The LHC study group, The Large Hadron Collider - Conceptual Design, CERN/AC/95-05(LHC), 1995, Editors: P. Lefevre, T. Pettersson

[2] Large Hadron Collider Workshop; Proceedings Vol.1; European Committee for Future Accelerators; CERN 90-10/ECFA 90-133, 3. Dezember 1990, (Editoren: G. Jarlskog, D. Rein)

[3] Povh et al., Kerne und Teilchen, Springer-Verlag, Heidelberg, 1193

[4] F. Abe; Inclusive Jet Cross Section in $p\bar{p}$ Collisions at $\sqrt{s} = 1.8TeV$; FERMILAB-Pub-96/020-E CDF, submitted to Physical Review Letters, Jan. 1996

[5] ATLAS Technical Proposal; ATLAS Kollaboration; CERN/LHCC/94-13, 15. Dezember 1994

[6] Claus Grupen, Teilchendetektoren, BI Wissenschaftsverlag Mannheim, 1993

[7] Livio Mapelli; Global architecture for the ATLAS DAQ and trigger; ATLAS note DAQ-NO-22, 15. Januar 1995

[8] Brawn, Garvey, Watson et al. ; The Level-1 Calorimeter Trigger System for ATLAS; ATLAS note DAQ-NO-30 / RD27 note 34; 17. Januar 1995

[9] U. Pfeifer, Diplomarbeit in Vorbereitung, Universität Heidelberg, 1996

[10] Dell'Acqua et al. A Digital Front-End and Readout Microsystem for Calorimetry at LHC: The FERMI-Project; IEEE Transactions on Nuclear Science 40 (1993) 516

[11] C. Bohm et al; An R&D programme for alternative technologies for the ATLAS level 1 calorimeter trigger; ATLAS note DAQ-NO-32 / RD27 note 36, 16. Januar 1995

[12] G. Altarelli, G. Parisi, Asymptotic Freedom in Parton Language, Nuclear Physics B126 (1977) 298

[13] B. Andersson, G. Gustafson, G Ingelmann und T. Sjörstrand, Phys. Rep. 97 (1983) 31

[14] T. Sjösstrand, Phythia 5.7 and Jetset 7.4 Physics and Manual, CERN-TH.7112/93 (Dezember 1993)

[15] J.Botts et al., Phys.Lett.39 (1977) 159

[16] The EPIC -3B BiCMOS Process; Ericsson Components; Kista, Schweden

[17] Adriana Craciunescu, Sicon; private Kommunikation

[18] M.Sriram, S.M. Kang; Physical Design for Multichip Modules; Kluwer Academic Publishers (1994)

[19] HP82000, IC Evaluation System Models D50, D100, D200, D400; Technical Data

[20] Motorola High Performance ECL Data

[21] W. Blood, MECL System Design Handbook; MOTOROLA; 1988

[22] Weisskat; private Mitteilung

[23] Tektronix; TDS 784A Technical Reference

[24] U.Tietze, Ch.Schenk; Halbleiter-Schaltungstechnik; Springer-Verlag, Berlin 1991

[25] Peter Stock; private Mitteilung

[26] Christian Bohm, private Mitteilung

[27] Peter Bodö, private Mitteilung (Telefax)

[28] Bull & IMC; Yves Stricot, private Mitteilung (Telefax)

[29] AT&T; Elastomeric Conductive Polymer Interconnect; Product Note, Juli 1989

Danksagung

Herrn Professor K. Meier danke ich für die Betreuung meiner Arbeit, die ich in seiner Arbeitsgruppe im ASIC-Labor des Instituts für Hochenergiephysik durchführen durfte.

Herrn Professor E.E. Kluge möchte ich meinen Dank aussprechen, daß er freundlicherweise die Zweitkorrektur dieser Arbeit übernommen hat.

Mein Dank gilt vor allen Dingen Alexander Mass, der durch seine mütterliche Fürsorge eine große Hilfe für mich bedeutet hat.

Ebenso danke ich für die fachliche und moralische Unterstützung, die ich durch viele der Mitarbeiter des Instituts für Hochenergiephysik genossen habe. Besonders hervorheben möchte ich Martin Wunsch, Joachim Boelsems und Peter Stock.

Zu Dank bin ich auch Herrn Grendus aus der Galvanik-Werkstatt des Physikalischen Instituts verpflichtet, der alle meine Aufträge zuverlässig und geduldig erledigt hat.

Ganz besonders möchte ich mich bei meinen Eltern bedanken, ohne deren Unterstützung mein Studium nicht möglich gewesen wäre.

Einen genauso besonderer Dank geht an meine Freundin Veronika und an alle meine Freunde.